

PATENT  
81751.0068

Express Mail Label No. EV 324 111 106 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Akira MORITA

Serial No: Not Assigned

Filed: November 19, 2003

For: Display System and Display  
Controller

Art Unit: Not Assigned

Examiner: Not Assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:


Enclosed herewith is a certified copy of Japanese patent application No. 2002-372147, which was filed December 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: November 19, 2003

By:   
Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 2 4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 7 2 1 4 7  
Application Number:

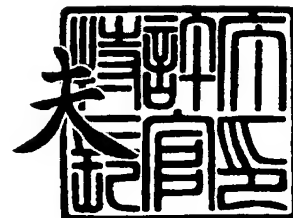
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 7 2 1 4 7 ]

出 願 人                      セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年    9 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0417201

【提出日】 平成14年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/35

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 森田 晶

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

## 【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示システム及び表示コントローラ

【特許請求の範囲】

【請求項 1】 複数の画素と、複数のデータ線と、複数の走査線とを含む表示パネルと、

表示データを  $j$  ( $j$  は自然数) ビット単位で入力するための第 1 ～第  $j$  のデータ入力端子を有し、該第 1 ～第  $j$  のデータ入力端子を介して入力された表示データに基づいて前記複数のデータ線を駆動する表示ドライバと、

$k$  ( $k \geq j + 2$ 、 $k$  は整数) ビット単位で出力される表示データのうち ( $j + 2$ ) ビット分の表示データを出力するための第 1 ～第 ( $j + 2$ ) のデータ出力端子を有し、前記表示ドライバに対して表示データを供給すると共に前記表示ドライバを制御する表示コントローラとを含む表示システムであって、

前記表示コントローラは、

第 1 ～第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを前記表示ドライバに対して出力し、

第 ( $j + 1$ ) のデータ出力端子を介して、表示データの第 ( $j + 1$ ) ビットのデータに代えて前記表示ドライバを制御するためのコマンドデータを前記表示ドライバに対して出力し、

第 ( $j + 2$ ) のデータ出力端子を介して、表示データの第 ( $j + 2$ ) ビットのデータに代えて前記コマンドデータを識別するためのコマンド識別信号を前記表示ドライバに対して出力し、

前記表示ドライバは、

前記コマンド識別信号に基づいて特定された前記コマンドデータを取り込むラッチと、

前記ラッチに取り込まれたコマンドデータをデコードするデコーダと、

前記デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、前記第 1 ～第  $j$  のデータ入力端子を介して入力された表示データと、前記制御信号とに基づいて前記複数のデータ線を駆動することを特徴とする表示システム。

【請求項 2】 複数の画素と、複数のデータ線と、複数の走査線とを含む表示パネルと、

表示データを  $j$  ( $j$  は自然数) ビット単位で入力するための第 1 ～第  $j$  のデータ入力端子を有し、該第 1 ～第  $j$  のデータ入力端子を介して入力された表示データに基づいて前記複数のデータ線を駆動する表示ドライバと、

$k+1$  ( $k+1 \geq j+1$ 、 $k+1$  は整数) ビット単位で出力される表示データのうちの  $(j+1)$  ビット分の表示データを出力するための第 1 ～第  $(j+1)$  のデータ出力端子を有し、前記表示ドライバに対して表示データを含む多重化データを供給すると共に前記表示ドライバを制御する表示コントローラとを含む表示システムであって、

前記表示コントローラは、

第 1 ～第  $j$  のデータ出力端子を介して、一水平走査期間内に表示データ及びコマンドデータが時分割で多重化された多重化データを  $j$  ビット単位で前記表示ドライバに対して出力し、

第  $(j+1)$  のデータ出力端子を介して、表示データの第  $(j+1)$  ビットのデータに代えて前記コマンドデータを識別するためのコマンド識別信号を前記表示ドライバに対して出力し、

前記表示ドライバは、

前記多重化データから、前記コマンド識別信号に基づいて特定されたコマンドデータを取り込むラッチと、

前記ラッチに取り込まれたコマンドデータをデコードするデコーダと、

前記デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、前記第 1 ～第  $j$  のデータ入力端子を介して入力された多重化データに含まれる表示データと、前記制御信号とに基づいて前記複数のデータ線を駆動することを特徴とする表示システム。

【請求項 3】 複数の画素と、複数のデータ線と、複数の走査線とを含む表示パネルと、

表示データを  $j$  ( $j$  は自然数) ビット単位で入力するための第 1 ～第  $j$  のデータ入力端子を有し、該第 1 ～第  $j$  のデータ入力端子を介して入力された表示デー

タに基づいて前記複数のデータ線を駆動する表示ドライバと、

$k \geq j + p$  ( $k, p$  は正の整数) ビット単位で出力される表示データのうち  $(j + p)$  ビット分の表示データを出力するための第 1 ~ 第  $(j + p)$  のデータ出力端子を有し、前記表示ドライバに対して表示データを供給すると共に前記表示ドライバを制御する表示コントローラとを含む表示システムであって、

前記表示コントローラは、

第 1 ~ 第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを前記表示ドライバに対して出力し、

第  $(j + 1)$  ~ 第  $(j + p)$  のデータ出力端子を介して、表示データの第  $(j + 1)$  ~ 第  $(j + p)$  ビットのデータに代えてコマンドデータを前記表示ドライバに対して出力し、

前記表示ドライバは、

前記コマンドデータを取り込むラッチと、

前記ラッチに取り込まれたコマンドデータをデコードするデコーダと、

前記デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、前記第 1 ~ 第  $j$  のデータ入力端子を介して入力された表示データと、前記制御信号とに基づいて前記複数のデータ線を駆動することを特徴とする表示システム。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

$j$  ビットの表示データが R 色成分、G 色成分及び B 色成分の階調データを含む場合、G 色成分用の階調データのビット数が、R 色成分用の階調データのビット数より多く、かつ B 色成分用の階調データのビット数より多いことを特徴とする表示システム。

【請求項 5】 表示パネルのデータ線を  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいて駆動する表示ドライバを制御するための表示コントローラであって、

第 1 ~ 第  $(j + 2)$  のデータ出力端子と、

第 1 又は第 2 のモードに設定するためのモード設定レジスタと、

前記表示ドライバを制御するためのコマンドデータと、前記コマンドデータを

特定するためのコマンド識別信号とを出力するコマンドデータ出力部と、

$k$  ( $k \geq j + 2$ 、 $k$  は整数) ビット単位又は  $j$  ビット単位で表示データを出力する表示データ出力部とを含み、

前記表示データ出力部は、

第 1 のモードでは  $k$  ビット単位で出力される表示データのうち ( $j + 2$ ) ビット分の表示データを第 1 ～第 ( $j + 2$ ) のデータ出力端子を介して出力し、

第 2 のモードでは第 1 ～第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを出力すると共に、第 ( $j + 1$ ) のデータ出力端子を介して表示データの第 ( $j + 1$ ) ビットのデータに代えて前記コマンドデータを出力し、第 ( $j + 2$ ) のデータ出力端子を介して表示データの第 ( $j + 2$ ) ビットのデータに代えて前記コマンド識別信号を出力することを特徴とする表示コントローラ。

【請求項 6】 表示パネルのデータ線を  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいて駆動する表示ドライバを制御するための表示コントローラであって、

第 1 ～第 ( $j + 1$ ) のデータ出力端子と、

第 1 又は第 2 のモードに設定するためのモード設定レジスタと、

前記表示ドライバを制御するためのコマンドデータを特定するためのコマンド識別信号を出力するコマンドデータ出力部と、

一水平走査期間内に  $k_1$  ( $k_1 \geq j + 1$ 、 $k_1$  は整数) ビット単位又は  $j$  ビット単位の表示データ及び前記コマンドデータが時分割で多重化された多重化データを出力する表示データ出力部とを含み、

前記表示データ出力部は、

第 1 のモードでは  $k_1$  ビット単位で出力される表示データのうち ( $j + 1$ ) ビット分の表示データを含む多重化データを第 1 ～第 ( $j + 1$ ) のデータ出力端子を介して出力し、

第 2 のモードでは第 1 ～第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを含む多重化データを出力すると共に、第 ( $j + 1$ ) のデータ出力端子を介して表示データの第 ( $j + 1$ ) ビットのデータに代えて該表示データに含まれるコマンドデータに対応するタイミングで前記コマンド識別信号を出力することを



特徴とする表示コントローラ。

【請求項7】 表示パネルのデータ線を  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいて駆動する表示ドライバを制御するための表示コントローラであって、

第1～第  $(j + p)$  ( $p$  は自然数) のデータ出力端子と、

第1又は第2のモードに設定するためのモード設定レジスタと、

前記表示ドライバを制御するためのコマンドデータを出力するコマンドデータ出力部と、

$k$  ( $k \geq j + p$ 、 $k$  は正の整数) ビット単位又は  $j$  ビット単位で表示データを出力する表示データ出力部とを含み、

前記表示データ出力部は、

第1のモードでは  $k$  ビット単位で出力される表示データのうち  $(j + p)$  ビット分の表示データを第1～第  $(j + 2)$  のデータ出力端子を介して出力し、

第2のモードでは第1～第  $j$  のデータ出力端子から  $j$  ビット単位で表示データを出力すると共に、第  $(j + 1)$  ～第  $(j + p)$  のデータ出力端子を介して表示データの第  $(j + 1)$  ～第  $(j + p)$  ビットのデータに代えて前記コマンドデータを出力することを特徴とする表示コントローラ。

【請求項8】 請求項5乃至7のいずれかにおいて、

$j$  ビットの表示データがR色成分、G色成分及びB色成分の階調データを含む場合、G色成分用の階調データのビット数が、R色成分用の階調データのビット数より多く、かつB色成分用の階調データのビット数より多いことを特徴とする表示コントローラ。

【請求項9】 請求項5乃至8のいずれかにおいて、

表示データがR色成分、G色成分及びB色成分の階調データを含む場合、

前記第1のモードでは、R色成分、G色成分及びB色成分の階調データのビット数が同一の表示データを出力し、

前記第2のモードでは、R色成分、G色成分及びB色成分の階調データのうち少なくとも1つの階調データのビット数が異なる表示データを出力することを特徴とする表示コントローラ。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、表示システム及び表示コントローラに関する。

**【0002】****【従来の技術】**

例えば携帯電話機のような電子機器の表示部には、液晶パネル（広義には表示パネル、さらに広義には電気光学装置）が用いられており、電子機器の低消費電力化や小型軽量化等が図られている。この液晶パネルは、電子機器の制御を司るホスト（CPU）からの指示を受けて表示制御を行う表示コントローラ（コントローラ）により制御される。

**【0003】**

液晶パネルは、複数の走査線と、複数のデータ線と、複数の画素とを有する。複数の走査線は、走査線駆動回路により走査される。複数のデータ線は、データ線駆動回路により駆動される。表示コントローラは、データ線駆動回路に対して表示データを供給すると共に、走査線駆動回路及びデータ線駆動回路に対しタイミング制御を行う。

**【0004】****【特許文献1】**

特開 2002-23709号公報

**【0005】****【発明が解決しようとする課題】**

ホストからの指示を受けた表示コントローラがデータ線駆動回路（広義には表示ドライバ）を制御する場合、表示コントローラが制御信号を出力して直接的にデータ線駆動回路を制御する手法が考えられる。しかしながら、この手法では、制御内容が複雑になると信号線が増加し、配線による信号遅延や配線領域の確保の問題が生じ、低消費電力化及び低コスト化を図ることができない。

**【0006】**

これに対して、表示コントローラによる制御内容に対応したコマンドデータを

用意し、該コマンドデータを表示コントローラがデータ線駆動回路に設定する手法が考えられる。この場合、データ線駆動回路は、その内部において、設定されたコマンドデータを解析し、解析結果に応じた制御を行う。この場合、制御内容が複雑化してもコマンドデータの種類を増やせば済むため、拡張性を有するという利点がある。しかしながら、この手法では、表示コントローラがコマンドデータの入出力機能を備えていなければならない。したがって、汎用のコントローラがコマンドデータの入出力機能を具備させると、表示コントローラが、より複雑化してチップサイズが大きくなり、製造コストや納期等の問題が生ずる。

#### 【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、汎用のコントローラを用いてコマンドデータによる制御が可能な表示システム及び表示コントローラを提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

上記課題を解決するために本発明は、複数の画素と、複数のデータ線と、複数の走査線とを含む表示パネルと、表示データを  $j$  ( $j$  は自然数) ビット単位で入力するための第 1 ～ 第  $j$  のデータ入力端子を有し、該第 1 ～ 第  $j$  のデータ入力端子を介して入力された表示データに基づいて前記複数のデータ線を駆動する表示ドライバと、  $k$  ( $k \geq j + 2$ 、 $k$  は整数) ビット単位で出力される表示データのうち ( $j + 2$ ) ビット分の表示データを出力するための第 1 ～ 第 ( $j + 2$ ) のデータ出力端子を有し、前記表示ドライバに対して表示データを供給すると共に前記表示ドライバを制御する表示コントローラとを含む表示システムであって、前記表示コントローラは、第 1 ～ 第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを前記表示ドライバに対して出力し、第 ( $j + 1$ ) のデータ出力端子を介して、表示データの第 ( $j + 1$ ) ビットのデータに代えて前記表示ドライバを制御するためのコマンドデータを前記表示ドライバに対して出力し、第 ( $j + 2$ ) のデータ出力端子を介して、表示データの第 ( $j + 2$ ) ビットのデータに代えて前記コマンドデータを識別するためのコマンド識別信号を前記表示ドライバに対して出力し、前記表示ドライバは、前記コマンド識別信号に基づいて特定され

た前記コマンドデータを取り込むラッチと、前記ラッチに取り込まれたコマンドデータをデコードするデコーダと、前記デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、前記第1～第jのデータ入力端子を介して入力された表示データと、前記制御信号とに基づいて前記複数のデータ線を駆動する表示システムに係る。

#### 【0009】

本発明において、表示コントローラは、第1～第(j+2)のデータ出力端子を介して表示データを出力可能に構成されている。この表示コントローラにおいて、第1～第jのデータ出力端子を介して表示データを出力させると共に、第(j+1)及び第(j+2)のデータ出力端子を介して、表示ドライバを制御するためのコマンドデータ及びコマンド識別信号を出力させるようにしている。そして表示ドライバは、コマンド識別信号に基づいて特定されたコマンドデータをデコードし、そのデコード結果に対応した表示制御を行う。

#### 【0010】

これにより、汎用的な表示コントローラであっても、余分のデータ出力端子を介してコマンドデータによる制御を行うことができるようになる。またコマンド識別信号及びコマンドデータを表示データと同様に扱うことができるようになるので、コマンドで制御される表示ドライバに対し、汎用的な表示コントローラを用いて制御することができるようになる。

#### 【0011】

また本発明は、複数の画素と、複数のデータ線と、複数の走査線とを含む表示パネルと、表示データをj(jは自然数)ビット単位で入力するための第1～第jのデータ入力端子を有し、該第1～第jのデータ入力端子を介して入力された表示データに基づいて前記複数のデータ線を駆動する表示ドライバと、k1( $k1 \geq j+1$ 、k1は整数)ビット単位で出力される表示データのうち(j+1)ビット分の表示データを出力するための第1～第(j+1)のデータ出力端子を有し、前記表示ドライバに対して表示データを含む多重化データを供給すると共に前記表示ドライバを制御する表示コントローラとを含む表示システムであって、前記表示コントローラは、第1～第jのデータ出力端子を介して、一水平走査

期間内に表示データ及びコマンドデータが時分割で多重化された多重化データを  $j$  ビット単位で前記表示ドライバに対して出力し、第  $(j+1)$  のデータ出力端子を介して、表示データの第  $(j+1)$  ビットのデータに代えて前記コマンドデータを識別するためのコマンド識別信号を前記表示ドライバに対して出力し、前記表示ドライバは、前記多重化データから、前記コマンド識別信号に基づいて特定されたコマンドデータを取り込むラッチと、前記ラッチに取り込まれたコマンドデータをデコードするデコーダと、前記デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、前記第 1 ～ 第  $j$  のデータ入力端子を介して入力された多重化データに含まれる表示データと、前記制御信号とに基づいて前記複数のデータ線を駆動する表示システムに係る。

#### 【0012】

本発明においては、表示コントローラは、第 1 ～ 第  $(j+1)$  のデータ出力端子を介して表示データを出力可能に構成されている。この表示コントローラにおいて、第 1 ～ 第  $j$  のデータ出力端子を介して表示データを出力させると共に、第  $(j+1)$  のデータ出力端子を介して、コマンド識別信号を出力させるようにしている。そして表示ドライバは、多重化データから、コマンド識別信号に基づいて特定されたコマンドデータをデコードし、そのデコード結果に対応した表示制御を行う。

#### 【0013】

これにより、汎用的な表示コントローラであっても、余分のデータ出力端子を介してコマンドデータによる制御を行うことができるようになる。またコマンド識別信号及びコマンドデータを表示データと同様に扱うことができるようになるので、コマンドで制御される表示ドライバに対し、汎用的な表示コントローラを用いて制御することができるようになる。さらに、コマンドデータを表示データと多重化させるため、コマンドデータを入力するための端子及び信号線を省略することができる。

#### 【0014】

また本発明は、複数の画素と、複数のデータ線と、複数の走査線とを含む表示パネルと、表示データを  $j$  ( $j$  は自然数) ビット単位で入力するための第 1 ～ 第

j のデータ入力端子を有し、該第 1 ～第 j のデータ入力端子を介して入力された表示データに基づいて前記複数のデータ線を駆動する表示ドライバと、 $k_2$  ( $k_2 \geq j + p$ 、 $k_2$ 、 $p$  は正の整数) ビット単位で出力される表示データのうち ( $j + p$ ) ビット分の表示データを出力するための第 1 ～第 ( $j + p$ ) のデータ出力端子を有し、前記表示ドライバに対して表示データを供給すると共に前記表示ドライバを制御する表示コントローラとを含む表示システムであって、前記表示コントローラは、第 1 ～第 j のデータ出力端子を介して j ビット単位で表示データを前記表示ドライバに対して出力し、第 ( $j + 1$ ) ～第 ( $j + p$ ) のデータ出力端子を介して、表示データの第 ( $j + 1$ ) ～第 ( $j + p$ ) ビットのデータに代えてコマンドデータを前記表示ドライバに対して出力し、前記表示ドライバは、前記コマンドデータを取り込むラッチと、前記ラッチに取り込まれたコマンドデータをデコードするデコーダと、前記デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、前記第 1 ～第 j のデータ入力端子を介して入力された表示データと、前記制御信号とに基づいて前記複数のデータ線を駆動する表示システムに関係する。

#### 【0015】

本発明においては、表示コントローラは、第 1 ～第 ( $j + p$ ) のデータ出力端子を介して表示データを出力可能に構成されている。この表示コントローラにおいて、第 1 ～第 j のデータ出力端子を介して表示データを出力させると共に、第 ( $j + 1$ ) ～第 ( $j + p$ ) のデータ出力端子を介して、p ビット単位でコマンドデータを出力させるようにしている。そして表示ドライバは、p ビット単位で入力されるコマンドデータをデコードし、そのデコード結果に対応した表示制御を行う。

#### 【0016】

これにより、汎用的な表示コントローラであっても、余分のデータ出力端子を介してコマンドデータによる制御を行うことができるようになる。またコマンドデータを表示データと同様に扱うことができるようになるので、コマンドで制御される表示ドライバに対し、汎用的な表示コントローラを用いて制御することができるようになる。さらに、p ビット単位でコマンドデータを表示ドライバに供

給することができ、効率的な制御を実現する。

【0017】

また本発明に係る表示システムでは、 $j$  ビットの表示データがR色成分、G色成分及びB色成分の階調データを含む場合、G色成分用の階調データのビット数が、R色成分用の階調データのビット数より多く、かつB色成分用の階調データのビット数より多くてもよい。

【0018】

本発明によれば、表示パネルの画質を劣化させることなく階調データを効率的に転送し、かつ汎用的な表示コントローラによる表示ドライバの制御を実現することができる。

【0019】

また本発明は、表示パネルのデータ線を  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいて駆動する表示ドライバを制御するための表示コントローラであって、第1～第  $(j+2)$  のデータ出力端子と、第1又は第2のモードに設定するためのモード設定レジスタと、前記表示ドライバを制御するためのコマンドデータと、前記コマンドデータを特定するためのコマンド識別信号とを出力するコマンドデータ出力部と、 $k$  ( $k \geq j+2$ 、 $k$  は整数) ビット単位又は  $j$  ビット単位で表示データを出力する表示データ出力部とを含み、前記表示データ出力部は、第1のモードでは  $k$  ビット単位で出力される表示データのうち  $(j+2)$  ビット分の表示データを第1～第  $(j+2)$  のデータ出力端子を介して出力し、第2のモードでは第1～第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを出力すると共に、第  $(j+1)$  のデータ出力端子を介して表示データの第  $(j+1)$  ビットのデータに代えて前記コマンドデータを出力し、第  $(j+2)$  のデータ出力端子を介して表示データの第  $(j+2)$  ビットのデータに代えて前記コマンド識別信号を出力する表示コントローラに係る。

【0020】

また本発明は、表示パネルのデータ線を  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいて駆動する表示ドライバを制御するための表示コントローラであって、第1～第  $(j+1)$  のデータ出力端子と、第1又は第2のモード

に設定するためのモード設定レジスタと、前記表示ドライバを制御するためのコマンドデータを特定するためのコマンド識別信号を出力するコマンドデータ出力部と、一水平走査期間内に  $k1$  ( $k1 \geq j+1$ 、 $k1$  は整数) ビット単位又は  $j$  ビット単位の表示データ及び前記コマンドデータが時分割で多重化された多重化データを出力する表示データ出力部とを含み、前記表示データ出力部は、第1のモードでは  $k1$  ビット単位で出力される表示データのうち  $(j+1)$  ビット分の表示データを含む多重化データを第1～第  $(j+1)$  のデータ出力端子を介して出力し、第2のモードでは第1～第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを含む多重化データを出力すると共に、第  $(j+1)$  のデータ出力端子を介して表示データの第  $(j+1)$  ビットのデータに代えて該表示データに含まれるコマンドデータに対応するタイミングで前記コマンド識別信号を出力する表示コントローラに関する。

#### 【0021】

また本発明は、表示パネルのデータ線を  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいて駆動する表示ドライバを制御するための表示コントローラであって、第1～第  $(j+p)$  ( $p$  は自然数) のデータ出力端子と、第1又は第2のモードに設定するためのモード設定レジスタと、前記表示ドライバを制御するためのコマンドデータを出力するコマンドデータ出力部と、 $k2$  ( $k2 \geq j+p$ 、 $k2$  は正の整数) ビット単位又は  $j$  ビット単位で表示データを出力する表示データ出力部とを含み、前記表示データ出力部は、第1のモードでは  $k2$  ビット単位で出力される表示データのうち  $(j+p)$  ビット分の表示データを第1～第  $(j+2)$  のデータ出力端子を介して出力し、第2のモードでは第1～第  $j$  のデータ出力端子から  $j$  ビット単位で表示データを出力すると共に、第  $(j+1)$  ～第  $(j+p)$  のデータ出力端子を介して表示データの第  $(j+1)$  ～第  $(j+p)$  ビットのデータに代えて前記コマンドデータを出力する表示コントローラに関する。

#### 【0022】

また本発明に係る表示コントローラでは、 $j$  ビットの表示データがR色成分、G色成分及びB色成分の階調データを含む場合、G色成分用の階調データのビッ



ト数が、R色成分用の階調データのビット数より多く、かつB色成分用の階調データのビット数より多くてもよい。

#### 【0023】

また本発明に係る表示コントローラでは、表示データがR色成分、G色成分及びB色成分の階調データを含む場合、前記第1のモードでは、R色成分、G色成分及びB色成分の階調データのビット数が同一の表示データを出力し、前記第2のモードでは、R色成分、G色成分及びB色成分の階調データのうち少なくとも1つの階調データのビット数が異なる表示データを出力することができる。

#### 【0024】

本発明によれば、第1のモードにおいて、表示コントローラは、R色成分、G色成分及びB色成分の階調データのビット数が同一の表示データを出力することができる。したがって、表示ドライバに対して表示データを供給する汎用的な表示コントローラを提供することができる。また第2のモードにおいて、表示ドライバに供給される階調データの構成を変更し、階調データの転送効率を向上させることができる。そして、余分のデータ線を利用してコマンドデータによる表示ドライバの制御を実現することができる。

#### 【0025】

##### 【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。以下の実施形態では、アクティブマトリクス方式の液晶パネルであるTF Tパネルを例に説明するが、本発明はこれに限定されるものではない。

#### 【0026】

##### 1. 第1の実施形態

図1に、液晶装置の構成の概要を示す。液晶装置（広義には表示システム）は、携帯電話、携帯型情報機器（PDA等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マスストレージデバイス、ビデオカメラ、電子手帳、

又はGPS (Global Positioning System) などの種々の電子機器に組み込むことができる。

#### 【0027】

図1において、液晶装置10は、液晶パネル（広義には表示パネル。さらに広義には電気光学装置）20、データ線駆動回路（狭義にはソースドライバ）30、走査線駆動回路（狭義にはゲートドライバ）40、コントローラ（表示コントローラ）50、電源回路60を含む。液晶装置10は、電気光学装置ということもできる。データ線駆動回路30は、表示ドライバということもできる。

#### 【0028】

なお、液晶装置10にこれら全ての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

#### 【0029】

液晶パネル20は、複数の走査線（ゲート線）と、複数のデータ線（ソース線）と、各画素が複数の走査線のいずれかの走査線及び複数のデータ線のいずれかのデータ線により特定される複数の画素とを含む。各画素は、TFTと画素電極とを含む。データ線にはTFTが接続され、該TFTに画素電極が接続される。

#### 【0030】

より具体的には、液晶パネル20は例えばガラス基板からなるパネル基板上に形成される。パネル基板には、図1のY方向に複数配列されそれぞれX方向に伸びる走査線 $GL_1 \sim GL_M$ （Mは2以上の整数）と、X方向に複数配列されそれぞれY方向に伸びるデータ線 $DL_1 \sim DL_N$ （Nは2以上の整数）とが配置されている。走査線 $GL_m$ （ $1 \leq m \leq M$ 、mは整数）とデータ線 $DL_n$ （ $1 \leq n \leq N$ 、nは整数）との交差点に対応する位置に画素 $PE_{mn}$ が設けられている。画素 $PE_{mn}$ は、 $TFT_{mn}$ と画素電極とを含む。

#### 【0031】

$TFT_{mn}$ のゲート電極は走査線 $GL_m$ に接続される。 $TFT_{mn}$ のソース電極はデータ線 $DL_n$ に接続される。 $TFT_{mn}$ のドレイン電極は画素電極に接続される。画素電極と、該画素電極と液晶素子（広義には電気光学物質）を介して対向する対向電極COM（コモン電極）との間には、液晶容量 $CL_{mn}$ 及び補助

容量  $C_{S_{mn}}$  が形成されている。画素電極と対向電極 COM との間の電圧に応じて、液晶素子の透過率が変化するようにになっている。対向電極 COM に供給される電圧  $V_{COM}$  は、電源回路 60 により生成される。

#### 【0032】

データ線駆動回路 30 は、表示データに基づいて液晶パネル 20 のデータ線  $D_{L1} \sim D_{LN}$  を駆動する。走査線駆動回路 40 は、液晶パネル 20 の走査線  $G_{L1} \sim G_{LM}$  を走査する。

#### 【0033】

コントローラ 50 は、図示しない中央処理装置 (Central Processing Unit : 以下、CPU と略す) 等のホストにより設定された内容に従って、データ線駆動回路 30、走査線駆動回路 40 及び電源回路 60 に対して制御信号を出力する。より具体的には、コントローラ 50 は、データ線駆動回路 30 及び走査線駆動回路 40 に対しては、例えば動作モードの設定や内部で生成した水平同期信号や垂直同期信号を供給する。またコントローラ 50 は、電源回路 60 に対しては、対向電極 COM の電圧  $V_{COM}$  の極性反転タイミングの制御を行う。

#### 【0034】

電源回路 60 は、外部から供給される基準電圧に基づいて、液晶パネル 20 の各種電圧や、対向電極 COM の電圧  $V_{COM}$  を生成する。

#### 【0035】

なお図 1 では、液晶装置 10 がコントローラ 50 を含む構成になっているが、コントローラ 50 を液晶装置 10 の外部に設けてもよい。或いは、コントローラ 50 と共にホスト (図示せず) を液晶装置 10 に含めるように構成してもよい。

#### 【0036】

また走査線駆動回路 40、コントローラ 50 及び電源回路 60 のうち少なくとも 1 つをデータ線駆動回路 30 に内蔵させてもよい。

#### 【0037】

またデータ線駆動回路 30、走査線駆動回路 40、コントローラ 50 及び電源回路 60 の一部又は全部を液晶パネル 20 上に形成してもよい。例えば、液晶パネル (電気光学装置) 20 は、複数のデータ線と、複数の走査線と、各画素が複

数のデータ線のいずれかと、複数の走査線のいずれかとにより特定される複数の画素と、複数のデータ線を駆動するデータ線駆動回路（表示ドライバ）とを含むように構成することができる。

#### 【0038】

図2に、ホスト、コントローラ50及びデータ線駆動回路30の接続関係を示す。ホスト（CPU）70は、バス幅BW1を有するデータバス72を介してコントローラ50に接続される。ホスト70は、データバス72を介して表示データや制御データをコントローラ50に供給する。バス幅BW1は、CPUの演算処理単位であるバイトを基準に決められる。バス幅BW1は、例えば8ビット、16ビット、32ビット、64ビットなどである。

#### 【0039】

コントローラ50は、バス幅BW2を有するデータバス74を介してデータ線駆動回路30に接続される。コントローラ50は、データバス72を介して表示データや、データ線駆動回路30の制御内容に対応したコマンドデータを、データ線駆動回路30に供給する。バス幅BW2は、R色成分（第1の色成分）、G（第2の色成分）色成分及びB色成分（第3の色成分）の各色成分の階調レベルを基準に決められる。バス幅BW2は、例えば18ビット（各色成分の階調データが6ビット）、24ビット（各色成分の階調データが8ビット）などである。

#### 【0040】

このように汎用目的のホスト70に接続されるデータバス72のバス幅と、階調表示に最適化されたデータ線駆動回路30に接続されるデータバス74のバス幅とが異なる。そのため、ホスト70からデータ線駆動回路30へのデータ転送効率が悪い。

#### 【0041】

一方、汎用のコントローラ50では、データ線駆動回路30を制御するためのコマンドデータの入出力機能を備えていないため、効率的にデータ線駆動回路30の制御を行うことができない。

#### 【0042】

第1の実施形態では、コントローラ50が出力可能なデータバス幅と、データ

線駆動回路 30 に入力可能なデータバス幅とが異なる場合であって、コントローラ 50 が出力可能なデータバス幅（例えば 18 ビット幅）が、データ線駆動回路 30 に入力可能なデータバス幅（例えば 16 ビット幅）より広い場合に、余ったバス線を利用してコマンドデータを供給することができる。

#### 【0043】

図 3 に、第 1 の実施形態におけるコントローラ 50 とデータ線駆動回路 30 との接続関係を模式的に示す。

#### 【0044】

コントローラ 50 は、データ線駆動回路 30 の  $j$  ( $j$  は自然数) ビット単位で入力される表示データに基づいてデータ線を駆動する場合に、 $k$  ( $k \geq j + 2$ 、 $k$  は整数) ビット単位で表示データを出力することができる。そのためコントローラ 50 は、 $k$  ビット単位で出力される表示データのうち ( $j + 2$ ) ビット分の表示データが出力される第 1 ～第 ( $j + 2$ ) のデータ出力端子  $D_1 \sim D_{j+2}$  を有する。

#### 【0045】

コントローラ 50 の第 1 ～第  $j$  のデータ出力端子  $D_1 \sim D_j$  に接続されるバス線は、データ線駆動回路 30 の第 1 ～第  $j$  のデータ入力端子  $D_1 \sim D_j$  に接続される。コントローラ 50 の第 ( $j + 1$ ) のデータ出力端子  $D_{j+1}$  に接続されるバス線は、データ線駆動回路 30 のコマンドデータ入力端子  $CD$  に接続される。コントローラ 50 の第 ( $j + 2$ ) のデータ出力端子  $D_{j+2}$  に接続されるバス線は、データ線駆動回路 30 のコマンド識別信号入力端子  $CMD$  に接続される。

#### 【0046】

コントローラ 50 は、データ線駆動回路 30 に対し、ホストで生成された階調データを含む表示データを  $k$  ビット単位又は  $j$  ビット単位で、表示タイミングに同期させて出力する。 $k$  ビット単位で表示データを出力する場合、コントローラ 50 は、( $j + 2$ ) ビット分の表示データについて第 1 ～第 ( $j + 2$ ) のデータ出力端子を介して出力する。 $j$  ビット単位で表示データを出力する場合、コントローラ 50 は、第 1 ～第  $j$  のデータ出力端子を介して出力する。

#### 【0047】

またコントローラ 5 0 は、 $j$  ビット単位で表示データを出力する場合、第 ( $j + 1$ ) のデータ出力端子  $D_{j+1}$  を介して出力されるデータのうちコマンドデータの位置を特定するためのコマンド識別信号を、第 ( $j + 2$ ) のデータ出力端子  $D_{j+2}$  を介して出力する。

#### 【0 0 4 8】

なお第 1 の実施形態では、コマンドデータは 1 ビットのシリアルデータとして出力されるものとして説明するが、複数ビットのデータとして出力されるものであってもよい。

#### 【0 0 4 9】

一方、データ線駆動回路 3 0 は、コマンド識別信号入力端子 CMD と、コマンドデータ入力端子 CD とを有する。データ線駆動回路 3 0 では、コマンドデータ入力端子 CD を介して入力されたデータから、コマンド識別信号入力端子 CMD を介してコントローラ 5 0 から入力されるコマンド識別信号に基づいて、コマンドデータが特定される。そして、データ線駆動回路 3 0 では、該コマンドデータがデコードされ、そのデコード結果に対応した制御が行われる。

#### 【0 0 5 0】

コマンドデータは、データ線駆動回路 3 0 の各種動作モードの設定等を行うためのコマンドに対応したデータである。コマンドは、例えばパーシャル駆動を行うパーシャルブロック選択コマンド、出力ブロック選択コマンド、出力タイミング設定コマンドがある。

#### 【0 0 5 1】

パーシャルブロック選択コマンドは、データ線駆動回路 3 0 によるデータ線の表示駆動を、複数のデータ線を分割単位としたブロックごとに選択するためのコマンドである。パーシャルブロック選択コマンドにより表示駆動するように選択されたブロックのデータ線には、表示タイミングに同期して階調データに対応した階調電圧が印加される。パーシャルブロック選択コマンドにより非表示駆動するように選択されたブロックのデータ線には、該データ線に T F T を介して接続された液晶素子の透過率が変化しないように、例えば対向電極 COM に供給される電圧 V COM が印加される。

**【0052】**

出力ブロック選択コマンドは、データ線駆動回路30によるデータ線の駆動のオン又はオフを、ブロックごとに選択するためのコマンドである。出力ブロック選択コマンドにより駆動オンに設定されたブロックのデータ線には、表示タイミングに同期して階調データに対応した階調電圧が印加される。出力ブロック選択コマンドにより駆動オフに設定されたブロックのデータ線への出力は、ハイインピーダンス状態に設定される。

**【0053】**

出力タイミング設定コマンドは、低消費電力化を図るため、データ線駆動回路30によるデータ線への出力タイミングを細かに設定するコマンドである。

**【0054】**

以下では、このような第1の実施形態の構成例について説明する。

**【0055】**

図4に、第1の実施形態におけるコントローラ50の構成例を示す。コントローラ50は、表示データ出力部80、コマンドデータ出力部82、第1及び第2の切替出力部84、86、モード設定レジスタ88、制御部90を含む。

**【0056】**

表示データ出力部80は、ホストからの表示データをkビット単位又はjビット単位で出力する。コマンドデータ出力部82は、ホストから指示された制御内容に対応したコマンドデータと、該コマンドデータを特定するためのコマンド識別信号とを生成し、例えばデータ線駆動回路30に対して出力する。

**【0057】**

第1の切替出力部84は、コマンドデータ出力部82によって出力されたコマンド識別信号、又は表示データ出力部80によって出力される表示データの第(j+2)ビットのデータいずれかを、第(j+2)のデータ出力端子D<sub>j+2</sub>に出力する。こうすることで、表示データの第(j+2)ビットのデータに代えてコマンド識別信号を、第(j+2)のデータ出力端子D<sub>j+2</sub>を介して出力させることができる。

**【0058】**

第2の切替出力部86は、コマンドデータ出力部82によって出力されたコマンドデータ、又は表示データ出力部80によって出力される表示データの第( $j+1$ )ビットのいずれかを、第( $j+1$ )のデータ出力端子 $D_{j+1}$ に出力する。こうすることで、表示データの第( $j+1$ )ビットのデータに代えてコマンドデータを、第( $j+1$ )のデータ出力端子 $D_{j+2}$ を介して出力させることができる。

#### 【0059】

モード設定レジスタ88は、例えばホストにより、コントローラ50の動作モードを第1又は第2のモードに設定するための制御レジスタである。コントローラ50では、モード設定レジスタ88において設定されたモードに対応した制御が行われる。

#### 【0060】

制御部90は、モード設定レジスタ88において設定されたモードにしたがって、表示データ出力部80、コマンドデータ出力部82、第1及び第2の切替出力部84、86を含むコントローラ50の各部を制御する。

#### 【0061】

このような構成のコントローラ50が第1のモードに設定された場合、表示データ出力部80により、 $k$ ビット単位で出力される表示データのうち( $j+2$ )ビット分の表示データが第1～第( $j+2$ )のデータ出力端子を介して出力される。

#### 【0062】

またコントローラ50が第2のモードに設定された場合、第1～第 $j$ のデータ出力端子を介して $j$ ビット単位で表示データが出力される。さらに、第( $j+1$ )のデータ出力端子を介してコマンドデータが出力され、第( $j+2$ )のデータ出力端子を介してコマンド識別信号が出力される。

#### 【0063】

図5に、コマンドデータとコマンド識別信号との関係を模式的に示す。コマンドデータ出力部82は、シリアルに出力されるコマンドデータの有効な範囲(有効な位置)を特定するため、当該範囲に対応する期間において論理レベル「H」



となるようにコマンド識別信号を出力することができる。

#### 【0064】

ところで、表示データの1画素当たりのビット数は、各色成分の階調レベルに応じて決められる。1画素の表示データは、R色成分、G色成分及びB色成分の階調データを含む。例えば、R色成分、G色成分及びB色成分の階調データのビット数をそれぞれ「8」とすると、表示データのビット数は「24」となる。このとき、約1677万種類の階調表現が可能となる。また例えば、R色成分、G色成分及びB色成分の階調データのビット数をそれぞれ「6」とすると、表示データのビット数は「18」となる。このとき、約26万種類の階調表現が可能となる。

#### 【0065】

第1のモードにおいてコントローラ50からデータ線駆動回路30に対して出力される表示データが、R色成分、G色成分及びB色成分の階調データからなるものとする。この場合、kビット単位で出力される表示データのR色成分、G色成分及びB色成分の階調データのビット数が同一であることが望ましい。汎用的なコントローラ50は、R色成分、G色成分及びB色成分の階調データのビット数が同一の表示データをデータ線駆動回路に供給できることが望ましいからである。

#### 【0066】

一方、第2のモードにおいてコントローラ50からデータ線駆動回路30に対してkビット単位で出力される表示データのR色成分、G色成分及びB色成分の階調データのうち少なくとも1つの階調データのビット数が異なってもよい。

#### 【0067】

図2に示したようにホスト70からコントローラ50に対して表示データが8ビット、16ビット、32ビット或いは64ビット単位で供給されることが多い。そのため、24ビット若しくは18ビットの表示データの転送効率が低下してしまう。そこで、データ線駆動回路30では、ある程度の階調表現を可能にし、かつ転送効率を向上させるため、表示データの1画素あたりのビット数を16ビットとし、約6万5千種類の階調表現を実現することが行われる。

**【0068】**

このとき、人間の眼が、色調の変化についてG色成分の変化に敏感であることを考慮し、R色成分の階調データのビット数を「5」、G色成分の階調データのビット数を「6」、B色成分の階調データのビット数を「5」とすることが望ましい。

**【0069】**

そこで、コントローラ50は、1画素18ビット単位で処理して汎用目的に用いるため、18(=j+2)本のデータ出力端子を有することができる。一方、データ線駆動回路30のデータ入力端子が16(=j)本であるため、余った2本を、上述のようにコマンドデータの出力に利用する。こうすることで、汎用のコントローラであってもデータ線駆動回路30に対してコマンドによる制御を可能にする。

**【0070】**

次に、データ線駆動回路30の構成例について説明する。

**【0071】**

図6に、第1の実施形態におけるデータ線駆動回路30の構成例を示す。データ線駆動回路30は、データラッチ100、レベルシフタ(Level Shifter:L/S)102、電圧選択回路(Digital-to-Analog Converter:DAC)104、出力回路106を含む。

**【0072】**

データラッチ100は、第1～第jのデータ入力端子D<sub>1</sub>～D<sub>j</sub>を介して入力された表示データをラッチする。表示データは、各階調データがデータ線ごとに区分される複数の階調データを含んで構成される。

**【0073】**

L/S102は、データラッチ100の出力の電圧レベルをシフトする。

**【0074】**

DAC104は、各基準電圧が階調データに対応した複数の基準電圧の中から、L/S102からのデータに対応するアナログ階調電圧を出力する。より具体的には、DAC104は、階調データをデコードし、デコード結果に基づいて複

数の基準電圧のいずれかを選択する。DAC104において選択された基準電圧は、アナログ階調電圧として出力回路106に出力される。

#### 【0075】

出力回路106は、DAC104からのアナログ階調電圧に基づいてデータ線 $DL_1 \sim DL_N$ を駆動する。出力回路106は、複数のデータ線を分割単位としたブロックごとに、パーシャル駆動や出力選択を行うことができる。パーシャル駆動の制御は、上述のパーシャルブロック選択コマンドを用いて行われる。出力選択の制御は、上述の出力ブロック選択コマンドを用いて行われる。このようなコマンドに応じて、各ブロックのデータ線には、階調データに対応した電圧や、コモン電極の電圧 $V_{COM}$ 又はこれとほぼ同等の電圧が印加される。或いは、コマンドに応じて、各ブロックのデータ線への出力が、ハイインピーダンス状態に設定される。

#### 【0076】

図7に、データラッチ100の構成例を示す。データラッチ100は、シフトレジスタ120と、ラインラッチ122とを含む。

#### 【0077】

シフトレジスタ120は、第1～第K（Kは2以上の整数）のフリップフロップ $FF1_1 \sim FF1_K$ を有する。フリップフロップ $FF1_{i_1}$ （ $1 \leq i_1 \leq K$ 、 $i_1$ は整数）は、クロック端子C、入力端子D、出力端子QRを有する。フリップフロップ $FF1_{i_1}$ は、クロック端子Cへの入力信号の立ち上がりで、入力端子Dへのデータ信号を保持し、その保持したデータ信号を出力端子Qから出力する。

#### 【0078】

各フリップフロップは、データ線単位で生成される1又は複数ビットの階調データを保持することができる。第 $i$ （ $1 \leq i \leq K-1$ 、 $i$ は整数）のフリップフロップ $FF1_i$ の出力が第 $(i+1)$ のフリップフロップ $FF1_{i+1}$ の入力に接続される。そして、第1のフリップフロップ $FF1_1$ に入力された入力データが、シフトクロックCPHに同期してシフトされる。

#### 【0079】

ここでシフトクロック CPH は、ラッチパルス LP の周期により規定される水平走査期間内において、画素単位で入力される表示データを取り込むためのパルス信号である。

#### 【0080】

ラインラッチ 122 は、ラッチパルス LP の立ち上がりで、シフトレジスタの第 1 ～第 K のフリップフロップ FF1<sub>1</sub> ～ FF1<sub>K</sub> に保持されたシフトデータを取り込む。ラインラッチ 122 に取り込まれたデータは、L/S102 に出力される。

#### 【0081】

このような構成により、シフトクロック CPH に同期して 1 画素を構成する j ビット単位で入力される表示データを取りこみ、一水平走査期間分の表示データとして保持することができる。

#### 【0082】

その後、データ線ごとに、L/S102 により電圧レベルがシフトされ、DAC104 によりアナログ階調電圧として出力回路 106 に出力される。

#### 【0083】

またこのようなデータ線駆動回路 30 は、制御部 110 から出力される制御信号に基づいて制御される。このような制御信号としては、例えばパーシャル駆動を行うブロックの選択信号や、駆動オン又は駆動オフのブロックの選択信号などがある。制御部 110 は、コマンドデータ入力端子 CD を介して入力されるデータのうち、コマンド識別信号入力端子 CMD を介して入力されるコマンド識別信号により特定されるコマンドデータに対応した制御信号を出力する。

#### 【0084】

上述の制御信号を生成するため、データ線駆動回路 30 は、ラッチ 112、デコーダ 114 を含むことができる。

#### 【0085】

ラッチ 112 は、コマンド識別信号に基づき、コマンドデータを取り込む。ここでコマンドデータ及びコマンド識別信号は、図 5 に示すタイミング関係を有する。

**【0086】**

デコーダ114は、ラッチ112に取り込まれたコマンドデータをデコードする。そして制御部110は、デコーダ114のデコード結果に対応した制御信号を出力する。

**【0087】**

図8に、ラッチ112の構成例を示す。ラッチ112は、シフトレジスタ130と、コマンドラッチ132とを含むことができる。

**【0088】**

シフトレジスタ130は、第1～第KのフリップフロップFF2<sub>1</sub>～FF2<sub>K</sub>を有する。フリップフロップFF2<sub>i</sub>は、クロック端子C、入力端子D、出力端子Q、リセット端子Rを有する。フリップフロップFF2<sub>i</sub>は、クロック端子Cへの入力信号の立ち上がりで、入力端子Dへのデータ信号を保持し、その保持したデータ信号を出力端子Qから出力する。またフリップフロップFF2<sub>i</sub>は、リセット端子Rへの入力信号に基づいて、内部状態が初期化状態に戻される。

**【0089】**

各フリップフロップは、データ線単位で生成される1ビット（コマンドデータ入力端子CDから入力されるコマンドデータが複数ビットの場合は複数ビット）の階調データを保持することができる。第iのフリップフロップFF2<sub>i</sub>の出力が第(i+1)のフリップフロップFF2<sub>i+1</sub>の入力に接続される。そして、第1のフリップフロップFF2<sub>1</sub>に入力されたコマンドデータ（CD）が、コマンドシフトクロックに同期してシフトされる。このコマンドシフトクロックは、シフトクロックCPHとコマンド識別信号との論理積演算信号である。

**【0090】**

すなわち、コマンド識別信号の論理レベルが「H」のときシフトクロックCPHに同期して入力データがシフトされて入力されたデータが、コマンドデータである。

**【0091】**

なお各フリップフロップは、ラッチパルスLPによりリセットされる。

**【0092】**

コマンドラッチ132は、コマンド識別信号の立ち下がりに同期して、第1～第KのフリップフロップFF2<sub>1</sub>～FF2<sub>K</sub>に保持されたコマンドデータをラッチする。コマンドラッチ132にラッチされたコマンドデータは、デコーダ114に対して出力される。

**【0093】**

図9に、第1の実施形態におけるコントローラ50及びデータ線駆動回路30の動作タイミングの一例を示す。ここではコントローラ50が、第2のモードに設定されているものとする。すなわちコントローラ50では、本来kビット単位で表示データを出力可能であるが、表示データをjビット単位で出力するようにして、余ったデータ出力端子を介してコマンドデータ及びコマンド識別信号を出力する。

**【0094】**

データ線駆動回路30に対しては、コントローラ50の第1～第jのデータ出力端子D<sub>1</sub>～D<sub>j</sub>から、一水平走査期間(1H)内に各データ線に対応した階調データが時分割で多重化された表示データが出力される。図9においては、1H内に、上述の多重化されたデータと、ブランクデータとが入力されている。ブランクデータは、例えばコントローラ50によって埋め込まれたダミーデータであり、表示及びコマンドによる制御に影響しないデータである。

**【0095】**

同様にしてコントローラ50の第(j+2)のデータ出力端子D<sub>j+2</sub>からコマンド識別信号が出力され、第(j+1)のデータ出力端子D<sub>j+1</sub>からコマンドデータが出力される。

**【0096】**

データ線駆動回路30では、コマンド識別信号入力端子CMDを介して入力されたコマンド識別信号の論理レベルが「L」のとき、コマンドデータ入力端子CDを介して入力されたコマンドデータを無視する。一方、コマンド識別信号の論理レベルが「H」のとき、コマンドデータ入力端子CMDを介して入力されたコマンドデータは図6に示すラッチ112に取り込まれ、例えば次の水平走査期間

内の制御に用いられる。すなわち、制御部 110 は、第 1 の水平走査期間において、デコーダ 114 によりコマンドデータをデコードする。また制御部 110 は、第 1 の水平走査期間の次の水平走査期間である第 2 の水平走査期間において、第 1 の水平走査期間においてデコードされたコマンドデータに対応した制御信号に基づく制御を行うことができる。

#### 【0097】

この場合、デコーダ 114 は、ラッチパルス LP の周波数より高い周波数を有する信号、例えばシフトクロック CPH に同期してデコード処理を行うことが望ましい。こうすることで、コマンドデータが取り込まれた水平走査期間内にデコード結果を出力することができ、次の水平走査期間までに該デコード結果に対応する制御信号を生成することが容易となる。

#### 【0098】

図 10 に、第 1 の実施形態におけるパーシャルブロック選択コマンドによる制御例の説明図を示す。ここでは、一垂直走査期間内に走査される液晶パネル 20 の表示領域を模式的に示す。

#### 【0099】

水平走査期間ごとに選択される走査線を第 1 ライン、第 2 ライン、・・・とし、第 1 ラインから順に 1 ラインずつ走査されるものとする。図 10 では第 1 ラインから第 a (a は整数) ラインまで、通常駆動される。すなわち、データ線駆動回路 30 により、データ線 DL<sub>1</sub> ~ DL<sub>N</sub> の各データ線について階調データに対応した階調電圧が印加される。

#### 【0100】

ここで、第 a ラインの水平走査期間において、パーシャルブロック選択コマンドが図 9 に示すタイミングで入力されたものとする。この場合、当該水平走査期間内においてラッチ 112 に取り込まれ、その結果、デコーダ 114 でパーシャルブロック選択コマンドであることが判別される。そして、次の水平走査期間である第 (a + 1) ラインの水平走査期間において、該パーシャルブロック選択コマンドに基づく制御が行われる。この場合、表示駆動するように選択された第 1 のブロックのデータ線には、表示タイミングに同期して階調データに対応した階

調電圧が印加される。パーシャルブロック選択コマンドにより非表示駆動するように選択された第2及び第3のブロックのデータ線には、該データ線にTFTを介して接続された液晶素子の透過率が変化しないように、例えば対向電極COMに供給される電圧VCOM又はこれとほぼ同等の電圧が印加される。

#### 【0101】

そのため、第1のブロックに対応する表示領域はパーシャル表示領域となり、階調データに対応する表示が行われる。これに対し、第2及び第3のブロックに対応する表示領域はパーシャル非表示領域となり、白又は黒の背景色の表示が行われる。

#### 【0102】

そして、第b ( $b > a + 1$ 、bは整数) ラインの水平走査期間において、パーシャルブロック選択コマンドにより全てのブロックを表示駆動するように設定されるものとする、次の水平走査期間である第(b+1)ラインの水平走査期間以降において、通常の表示駆動に戻る制御が行われることになる。

#### 【0103】

以上説明したように、第1の実施形態では、本来kビット単位で表示データを出力可能なコントローラ50の2本のデータ出力端子を介して、表示データに代えてコマンド識別信号及びコマンドデータを出力するようにした。例えば、ホストが、コマンド識別信号及びコマンドデータを表示データと同様に扱って1フレームのデータとしてコントローラ50に転送することができる。そして、図9に示すタイミングで、階調データと同期してコマンド識別信号及びコマンドデータを出力させるようにすることができる。こうすることで、コマンドで制御されるデータ線駆動回路30に対し、汎用的なコントローラ50を用いて制御することができるようになる。

#### 【0104】

### 2. 第2の実施形態

第1の実施形態では、コントローラが、本来階調データが出力されるべきデータ出力端子を介して、コマンド識別信号及びコマンドデータを出力させていたが、これに限定されるものではない。第2の実施形態では、コントローラが、本来



階調データが出力されるべきデータ出力端子を介して、コマンド識別信号のみを出力し、コマンドデータを階調データと多重化させて出力させる。

#### 【0105】

図11に、第2の実施形態におけるコントローラとデータ線駆動回路との接続関係を模式的に示す。第2の実施形態におけるコントローラ200及びデータ線駆動回路210は、それぞれ第1の実施形態におけるコントローラ50及びデータ線駆動回路30に代えて、図1に示す構成の液晶装置に適用することができる。

。

#### 【0106】

コントローラ200は、データ線駆動回路210が $j$ ビット単位で入力される表示データに基づいてデータ線を駆動する場合に、 $k1$  ( $k1 \geq j+1$ 、 $k1$ は整数)ビット単位で表示データを出力することができる。そのためコントローラ50は、 $k1$ ビット単位で出力される表示データのうち( $j+1$ )ビット分の表示データが出力される第1～第( $j+1$ )のデータ出力端子 $D1 \sim D_{j+1}$ を有する。

#### 【0107】

コントローラ200の第1～第 $j$ のデータ出力端子 $D1 \sim D_j$ に接続されるバス線は、データ線駆動回路210の第1～第 $j$ のデータ入力端子 $D1 \sim D_j$ に接続される。コントローラ200の第( $j+1$ )のデータ出力端子 $D_{j+1}$ に接続されるバス線は、データ線駆動回路210のコマンド識別信号入力端子CMDに接続される。

#### 【0108】

コントローラ200は、データ線駆動回路210に対し、ホストで生成された階調データを含む表示データを $k1$ ビット単位又は $j$ ビット単位で、表示タイミングに同期させて出力する。 $k1$ ビット単位で表示データを出力する場合、コントローラ200は、( $j+1$ )ビット分の表示データについて第1～第( $j+1$ )のデータ出力端子を介して出力する。 $j$ ビット単位で表示データを出力する場合、コントローラ200は、第1～第 $j$ のデータ出力端子を介して出力する。

#### 【0109】

またコントローラ 2 0 0 は、 $j$  ビット単位で表示データを出力する場合、コマンドデータの位置を特定するためのコマンド識別信号を、第  $(j + 1)$  のデータ出力端子  $D_{j + 1}$  を介して出力する。

#### 【0 1 1 0】

一方、データ線駆動回路 2 1 0 は、コマンド識別信号入力端子 CMD を有する。データ線駆動回路 2 1 0 では、第 1 ～ 第  $j$  のデータ入力端子  $D_1 \sim D_j$  を介して階調データとコマンドデータとが時分割で多重化された多重化データから、コマンド識別信号に基づいて、コマンドデータが特定される。コマンド識別信号は、コマンド識別信号入力端子 CMD を介して、コントローラ 2 0 0 から入力される。そして、データ線駆動回路 2 1 0 では、該コマンドデータがデコードされ、そのデコード結果に対応した制御が行われる。

#### 【0 1 1 1】

以下では、このような第 2 の実施形態の構成例について説明する。

#### 【0 1 1 2】

図 1 2 に、第 2 の実施形態におけるコントローラ 2 0 0 の構成例を示す。ただし、図 4 に示す第 1 の実施形態におけるコントローラ 5 0 と同一部分には同一符号を付し、適宜説明を省略する。

#### 【0 1 1 3】

コントローラ 2 0 0 は、表示データ出力部 2 0 2、コマンドデータ出力部 2 0 4、第 1 の切替出力部 8 4、モード設定レジスタ 8 8、制御部 2 0 6 を含む。

#### 【0 1 1 4】

表示データ出力部 2 0 2 は、ホストからの表示データを  $k$  1 ビット単位又は  $j$  ビット単位で出力する。コマンドデータ出力部 2 0 4 は、ホストから指示された制御内容に対応したコマンドデータと、該コマンドデータを特定するためのコマンド識別信号とを生成する。コマンドデータは、表示データ出力部 2 0 2 において階調データと共に多重化されて、例えばデータ線駆動回路 2 1 0 に対して出力される。コマンド識別信号は、第 1 の切替出力部 8 4 を介して例えばデータ線駆動回路 2 1 0 に対して出力される。

#### 【0 1 1 5】

第1の切替出力部84は、コマンドデータ出力部204によって出力されたコマンド識別信号、又は表示データ出力部202によって出力される表示データの第 $(j+1)$ ビットのデータのいずれかを、第 $(j+1)$ のデータ出力端子 $D_{j+1}$ に出力する。

#### 【0116】

制御部206は、モード設定レジスタ88において設定されたモードにしたがって、表示データ出力部202、コマンドデータ出力部204、第1の切替出力部84を含むコントローラ200の各部を制御する。

#### 【0117】

このような構成のコントローラ200が第1のモードに設定された場合、表示データ出力部202により、 $k1$ ビット単位で出力される表示データのうち $(j+1)$ ビット分の表示データが第1～第 $(j+1)$ のデータ出力端子を介して出力される。

#### 【0118】

またコントローラ200が第2のモードに設定された場合、第1～第 $j$ のデータ出力端子を介して表示データとコマンドデータが時分割で多重化された多重化データが $j$ ビット単位で出力される。さらに、第 $(j+1)$ のデータ出力端子を介してコマンド識別信号が出力される。このとき、コマンド識別信号は、上述の多重化データにおけるコマンドデータの時分割タイミングに対応して変化するようにになっている。

#### 【0119】

図13に、コマンドデータとコマンド識別信号との関係を模式的に示す。コマンド識別信号は、階調データに多重化されるコマンドデータの位置を特定するため、コマンドデータの位置に対応する期間において論理レベル「H」となるように生成される。

#### 【0120】

次に、データ線駆動回路210の構成例について説明する。

#### 【0121】

図14に、第2の実施形態におけるデータ線駆動回路210の構成例を示す。

ただし、図6に示す第1の実施形態におけるデータ線駆動回路30と同一部分には同一符号を付し、適宜説明を省略する。

#### 【0122】

データ線駆動回路210は、データラッチ212、L/S102、DAC104、出力回路106を含む。

#### 【0123】

データラッチ212は、第1～第jのデータ入力端子D<sub>1</sub>～D<sub>j</sub>を介して入力された入力データに含まれる表示データをラッチする。表示データは、各階調データがデータ線ごとに区分される複数の階調データを含んで構成される。例えばデータラッチ212は、各段のフリップフロップが1又は複数ビットの階調データを保持するシフトレジスタと、ラインラッチとを含むことができる。この場合、ラッチパルスLPの周期により規定される一水平走査期間内に少なくともデータ線の数であるN個のクロックを有するシフトクロックCPHにより、シフトレジスタの初段のフリップフロップに入力された表示データをシフトして取り込む。そして、ラッチパルスLPに同期してシフトレジスタに取り込まれた表示データが、ラインラッチで保持される。

#### 【0124】

またこのようなデータ線駆動回路210は、第1の実施形態と同様に、制御部110から出力される制御信号に基づいて制御される。このような制御信号としては、例えばパーシャル駆動を行うブロックの選択信号や、駆動オン又は駆動オフのブロックの選択信号などがある。したがって、制御部110は、第1～第jのデータ入力端子D<sub>1</sub>～D<sub>j</sub>を介して入力される多重化データに含まれるコマンドデータに対応した制御信号を出力する。

#### 【0125】

上述の制御信号を生成するため、データ線駆動回路210は、ラッチ214、デコーダ114を含むことができる。ラッチ214は、入力された多重化データから、コマンド識別信号に基づいて特定されたコマンドデータを取り込む。

#### 【0126】

ここで多重化データは、一水平走査期間内に表示データ及びコマンドデータが

時分割で多重化されたデータである。

#### 【0127】

図15に、データラッチ212の構成例を示す。ただし、図7に示すデータラッチ100と同一部分には同一符号を付し、適宜説明を省略する。

#### 【0128】

データラッチ212がデータラッチ100と異なる点は、シフトレジスタ120のシフトクロックがコマンド識別信号を用いて生成される点である。より具体的には、データラッチ212のシフトレジスタ120のシフトクロックは、シフトクロックCPHと、コマンド識別信号の反転信号との論理積演算信号である。

#### 【0129】

図16に、ラッチ214の構成例を示す。ラッチ214は、シフトレジスタ216、コマンドラッチ218とを含むことができる。

#### 【0130】

シフトレジスタ216は、第1～第KのフリップフロップFF3<sub>1</sub>～FF3<sub>K</sub>を有する。フリップフロップFF3<sub>i</sub>は、クロック端子C、入力端子D、出力端子Q、リセット端子Rを有する。フリップフロップFF3<sub>i</sub>は、クロック端子Cへの入力信号の立ち上がりで、入力端子Dへのデータ信号を保持し、その保持したデータ信号を出力端子Qから出力する。またフリップフロップFF3<sub>i</sub>は、リセット端子Rへの入力信号に基づいて、内部状態が初期化状態に戻される。

#### 【0131】

各フリップフロップは、データ線単位で生成されるjビットの階調データを保持することができる。第iのフリップフロップFF3<sub>i</sub>の出力が第(i+1)のフリップフロップFF3<sub>i+1</sub>の入力に接続される。そして、第1のフリップフロップFF3<sub>1</sub>に入力されたjビットの多重化データが、コマンドシフトクロックに同期してシフトされる。このコマンドシフトクロックは、シフトクロックCPHとコマンド識別信号との論理積演算信号である。

#### 【0132】

すなわち、コマンド識別信号の論理レベルが「H」のときシフトクロックCP

Hに同期して多重化データがシフトされて入力されたデータが、コマンドデータである。したがって、多重化データに含まれる階調データを取り込む場合、コマンド識別信号の論理レベルが「L」のとき、図15に示すデータラッチ212において、シフトクロックCPHに同期して入力データがシフトされて入力されたデータが、階調データである。

#### 【0133】

なお各フリップフロップは、ラッチパルスLPによりリセットされる。

#### 【0134】

コマンドラッチ218は、コマンド識別信号の立ち下がりに同期して、第1～第KのフリップフロップFF31～FF3Kに保持されたコマンドデータをラッチする。コマンドラッチ218にラッチされたコマンドデータは、デコーダ114に対して出力される。

#### 【0135】

図17に、第2の実施形態におけるコントローラ200及びデータ線駆動回路210の動作タイミングの一例を示す。ここではコントローラ200が、第2のモードに設定されているものとする。すなわちコントローラ200では、本来k1ビット単位で表示データを出力可能であるが、表示データをjビット単位で出力するようにして、余ったデータ出力端子を介してコマンドデータ及びコマンド識別信号を出力する。

#### 【0136】

データ線駆動回路210に対しては、コントローラ200から、一水平走査期間(1H)内に、表示データ(階調データ)及びコマンドデータが時分割で多重化されたデータが入力される。図17においては、1H内に、上述の多重化データと、ブランクデータとが入力されている。

#### 【0137】

コマンド識別信号の論理レベルが「L」のとき、入力データのうち表示データが図14に示すデータラッチ212に取り込まれ、例えば次の水平走査期間内の表示に用いられる。

#### 【0138】

コマンド識別信号の論理レベルが「H」のとき、入力データのうちコマンドデータが図14に示すラッチ214に取り込まれ、例えば次の水平走査期間内の制御に用いられる。すなわち、制御部110は、第1の水平走査期間において、デコーダ114によりコマンドデータをデコードする。また制御部110は、第1の水平走査期間の次の水平走査期間である第2の水平走査期間において、第1の水平走査期間においてデコードされたコマンドデータに対応した制御信号に基づく制御を行うことができる。

#### 【0139】

以上説明したように、第2の実施形態では、本来k1ビット単位で表示データを出力可能なコントローラ200の1本のデータ出力端子を介して、表示データに代えてコマンド識別信号を出力するようにした。そして、表示データに多重化してコマンドデータを出力するようにした。こうすることで、第1の実施形態と同様の効果を得ることができるのに加えて、第1の実施形態に比べてコマンド制御に必要な端子数を削減することができる。

#### 【0140】

なお、コントローラ200において、第1及び第2のモードにおける表示データの階調データの各色成分のビット数については、第1の実施形態と同様にすることが望ましい。

#### 【0141】

### 3. 第3の実施形態

第3の実施形態では、第2の実施形態と比較して、コマンド識別信号を用いることなく、汎用的なコントローラからデータ線駆動回路に対してコマンドデータを入力することができる。

#### 【0142】

図18に、第3の実施形態におけるコントローラとデータ線駆動回路との接続関係を模式的に示す。第3の実施形態におけるコントローラ300及びデータ線駆動回路320は、それぞれ第1の実施形態におけるコントローラ50及びデータ線駆動回路30に代えて、図1に示す構成の液晶装置に適用することができる。

。

## 【0143】

コントローラ300は、データ線駆動回路320が $j$ ビット単位で入力される表示データに基づいてデータ線を駆動する場合に、 $k2$  ( $k2 \geq j + p$ 、 $k2$ 、 $p$ は正の整数)ビット単位で表示データを出力することができる。そのためコントローラ50は、 $k2$ ビット単位で出力される表示データのうち( $j + p$ )ビット分の表示データが出力される第1～第( $j + p$ )のデータ出力端子 $D_1 \sim D_{j+p}$ を有する。

## 【0144】

コントローラ300の第1～第 $j$ のデータ出力端子 $D_1 \sim D_j$ に接続されるバス線は、データ線駆動回路320の第1～第 $j$ のデータ入力端子 $D_1 \sim D_j$ に接続される。コントローラ300の第( $j + 1$ )～第( $j + p$ )のデータ出力端子 $D_{j+1} \sim D_{j+p}$ に接続されるバス線は、データ線駆動回路320のコマンドデータ入力端子 $CD_1 \sim CD_p$ に接続される。

## 【0145】

コントローラ300は、データ線駆動回路320に対し、ホストで生成された階調データを含む表示データを $k2$ ビット単位又は $j$ ビット単位で、表示タイミングに同期させて出力する。 $k2$ ビット単位で表示データを出力する場合、コントローラ300は、( $j + p$ )ビット分の表示データについて第1～第( $j + p$ )のデータ出力端子を介して出力する。 $j$ ビット単位で表示データを出力する場合、コントローラ300は、第1～第 $j$ のデータ出力端子を介して出力する。

## 【0146】

またコントローラ300は、 $j$ ビット単位で表示データを出力する場合、第( $j + 1$ )～第( $j + p$ )のデータ出力端子 $D_{j+1} \sim D_{j+p}$ を介して、 $p$ ビット単位でコマンドデータを出力する。なおコマンドデータが多重化されるタイミングは、コントローラ300及びデータ線駆動回路320との間で予め決められている。

## 【0147】

一方、データ線駆動回路320は、コマンドデータ入力端子 $CD_1 \sim CD_p$ を有する。データ線駆動回路320では、コマンドデータ入力端子 $CD_1 \sim CD_p$ を



介して入力されたコマンドデータがデコードされ、そのデコード結果に対応した制御が行われる。

#### 【0148】

以下では、このような第3の実施形態の構成例について説明する。また、説明の便宜上、 $p$ を「2」として、コマンドデータが2ビット単位で出力されるものとして説明する。

#### 【0149】

図19に、第3の実施形態におけるコントローラ300の構成例を示す。ただし、図12に示す第2の実施形態におけるコントローラ200と同一部分には同一符号を付し、適宜説明を省略する。

#### 【0150】

コントローラ300は、表示データ出力部302、コマンドデータ出力部304、第1及び第2の切替出力部306、308、モード設定レジスタ88、制御部310を含む。

#### 【0151】

表示データ出力部302は、ホストからの表示データを $k$ ビット単位又は $j$ ビット単位で出力する。コマンドデータ出力部304は、ホストから指示された制御内容に対応したコマンドデータを生成する。コマンドデータは、一水平走査期間内の予め決められたタイミングで、例えばデータ線駆動回路210に対して出力される。

#### 【0152】

例えば、図20に示すように、一水平走査期間を規定するラッチパルスLPの立ち上がりで取り込むことができるように、該立ち上がり直前の所定期間に、 $p$ ビット単位のコマンドデータを出力することができる。

#### 【0153】

第1及び第2の切替出力部306は、コマンドデータ出力部304によって出力されたコマンドデータ $CD_1$ 、 $CD_2$ 又は表示データ出力部302によって出力される表示データの第 $(j+1)$ 、第 $(j+2)$ ビットのデータのいずれかを、第 $(j+1)$ ～第 $(j+2)$ のデータ出力端子 $D_{j+1}$ 、 $D_{j+2}$ に出力する

( $p = 2$  の場合)。

【0 1 5 4】

制御部 3 1 0 は、モード設定レジスタ 8 8 において設定されたモードにしたがって、表示データ出力部 3 0 2、コマンドデータ出力部 3 0 4、第 1 及び第 2 の切替出力部 3 0 6、3 0 8 を含むコントローラ 3 0 0 の各部を制御する。

【0 1 5 5】

このような構成のコントローラ 3 0 0 が第 1 のモードに設定された場合、表示データ出力部 3 0 2 により、 $k$  2 ビット単位で出力される表示データのうち ( $j + 2$ ) ビット分の表示データが第 1 ～第 ( $j + 2$ ) のデータ出力端子を介して出力される。

【0 1 5 6】

またコントローラ 3 0 0 が第 2 のモードに設定された場合、第 1 ～第  $j$  のデータ出力端子を介して表示データが  $j$  ビット単位で出力される。さらに、第 ( $j + 1$ ) 及び第 ( $j + 2$ ) のデータ出力端子を介してコマンドデータが 2 ( $= p$ ) ビット単位で出力される。

【0 1 5 7】

一方、データ線駆動回路 3 2 0 は、第 1 ～第  $j$  のデータ入力端子  $D_1 \sim D_j$ 、第 1 ～第  $p$  のコマンドデータ入力端子  $CD_1 \sim CD_p$  を有する。データ線駆動回路 3 2 0 では、第 1 ～第  $j$  のデータ入力端子  $D_1 \sim D_j$  を介して  $j$  ビット単位で入力された表示データに基づいて、データ線を駆動する。その際、第 1 ～第  $p$  のコマンドデータ入力端子  $CD_1 \sim CD_p$  を介して  $p$  ビット単位で入力されたコマンドデータがデコードされ、そのデコード結果に対応した制御が行われる。

【0 1 5 8】

以下では、第 3 の実施形態におけるデータ線駆動回路 3 2 0 の構成例について説明する。

【0 1 5 9】

図 2 1 に、第 3 の実施形態におけるデータ線駆動回路 3 2 0 の構成例を示す。ただし、図 6 に示す第 1 の実施形態におけるデータ線駆動回路 3 0 と同一部分には同一符号を付し、適宜説明を省略する。

## 【0 1 6 0】

データ線駆動回路 3 2 0 がデータ線駆動回路 3 0 と異なる第 1 の点は、コマンド識別信号入力端子を有しないで第 1 ～第 p のコマンドデータ入力端子  $CD_1 \sim CD_p$  を有する点である。またデータ線駆動回路 3 2 0 がデータ線駆動回路 3 0 と異なる第 2 の点は、ラッチ、デコーダ及びデータラッチの構成が異なる点である。

## 【0 1 6 1】

第 3 の実施形態におけるデータラッチ 3 2 2 は、複数のフリップフロップを有し、第 1 ～第 j のデータ入力端子  $D_1 \sim D_j$  を介して j ビット単位で入力される階調データがシフト入力される。そして、ラッチパルス LP の立ち上がりで、一水平走査分のラインデータが取り込まれる。

## 【0 1 6 2】

第 3 の実施形態におけるラッチ 3 2 4 は、第 1 ～第 p のコマンドデータ入力端子  $CD_1 \sim CD_p$  を介して入力される p ビット単位のコマンドデータを、ラッチパルス LP の立ち上がり同期して取り込む。該コマンドデータは、一水平走査期間内のどのタイミングで入力されるかについて予め決められており、ラッチ 3 2 4 は、その決められたタイミングで入力されたコマンドデータを取り込む。

## 【0 1 6 3】

第 3 の実施形態におけるデコーダ 3 2 6 は、ラッチ 3 2 4 に取り込まれたコマンドデータをデコードする。第 3 の実施形態におけるコマンドデータは、実行 (Execute) コマンドデータと通常コマンドデータとに区別される。実行コマンドデータは、実行コマンドに対応するコマンドデータである。通常コマンドデータは、通常コマンドに対応するコマンドデータである。実行コマンドは、通常コマンドを実行するか否かを指定するコマンドである。通常コマンドは、データ線駆動回路 3 2 0 の各種制御を実行するために、予め決められた制御内容に対応したコマンドである。したがってデータ線駆動回路 3 2 0 では、ラッチ 3 2 4 に取り込まれたコマンドデータの一部が実行コマンドデータであるとき、該コマンドデータの他の位置にある通常コマンドデータに対応した制御を行う。

## 【0 1 6 4】

以下、この点について説明する。

#### 【0165】

図22に、ラッチ324の構成例を示す。ラッチ324は、シフトレジスタ330と、コマンドラッチ332とを含むことができる。

#### 【0166】

シフトレジスタ330は、第1～第J（Jは2以上の整数）のフリップフロップ $DF F_1 \sim DF F_J$ を有する。フリップフロップ $DF F_j$ （ $1 \leq j \leq J$ 、jは整数）は、クロック端子C、入力端子D、出力端子Qを有する。フリップフロップ $DF F_j$ は、クロック端子Cへの入力信号の立ち上がりで、入力端子Dへのデータ信号を保持し、その保持したデータ信号を出力端子Qから出力する。

#### 【0167】

各フリップフロップは、pビットの階調データを保持することができる。第jのフリップフロップ $DF F_j$ の出力が第(j+1)のフリップフロップ $DF F_{j+1}$ の入力に接続される。そして、第1のフリップフロップ $DF F_1$ に入力された入力データが、シフトクロックCPHに同期してシフトされる。

#### 【0168】

コマンドラッチ332は、ラッチパルスLPの立ち上がり同期して、第1～第Jのフリップフロップ $DF F_1 \sim DF F_J$ のうち、予め決められたフリップフロップに保持されたデータを取り込む。ここで、予め決められたフリップフロップは、一水平走査期間内で予め決められたタイミングで取り込まれるコマンドデータがシフトされるフリップフロップである。

#### 【0169】

このようにしてコマンドラッチ332に取り込まれたコマンドデータは、デコーダ326によりデコードされる。デコーダ326は、まず、取り込まれたコマンドデータが実行コマンドデータであるか否かを解析する。

#### 【0170】

図23に、デコーダ326により解析されるコマンドデータの構成例を示す。デコーダ326は、まず図23に示すようなコマンドデータの解析を行う。このコマンドデータは、1ワードの上位U（Uは自然数）ビットに実行コマンドデー

タ部を有し、下位  $L$  ( $L$  は自然数) ビットに参照数データ部を有する。ここで、ワードとは、所定の  $v$  ( $v \geq p$ 、 $v$  は整数) ビット数を単位とする。

#### 【0171】

デコーダ 326 は、実行コマンドデータ部のデータが所与の実行コマンドに対応するデータであるとき、参照数データ部に示されるワード数について通常コマンドか否かのデコードを引き続き行うことになる。

#### 【0172】

図 24 に、デコーダ 316 の構成の概要を示す。デコーダ 326 は、実行コマンドデコーダ 340 と、通常コマンドデコーダ 342 とを含む。

#### 【0173】

実行コマンドデコーダ 340 は、コマンドラッチ 332 に保持されたデータの一部である実行コマンドデータ部のデータをデコードする。

#### 【0174】

通常コマンドデコーダ 342 は、実行コマンドデコーダ 340 のデコード結果に基づき実行コマンドデータ部のデータが所与の実行コマンドであると判断されたとき、参照数データ部に示されるワード数のコマンドデータをコマンドラッチ 332 から取り出し、該コマンドデータについてデコードを行う。参照数データ部に示されるワード数のコマンドデータは、上述の実行コマンドデータ部を含むワードのワード位置以外のワード位置にあるデータである。

#### 【0175】

通常コマンドデコーダ 342 のデコード結果は、制御部 110 に対して出力される。

#### 【0176】

このようなデコーダ 326 は、第 1 の実施形態と同様に、ラッチパルス  $LP$  の周波数より高い周波数を有するクロックに同期して動作することが望ましい。そして、該クロックは、シフトクロック  $CPH$  であることが望ましい。

#### 【0177】

また制御部 110 は、図 10 に示すように、デコーダ 326 によりデコードされるデータが取り込まれた水平走査期間の次の水平走査期間に、該制御部 110

0 が生成した制御信号に基づく制御を行うことができる。

#### 【0178】

図 25 に、第 3 の実施形態におけるデータ線駆動回路 320 の動作タイミングの一例を示す。ここでは、データ線駆動回路 320 が、図 21 に示す構成を有する場合について説明する。

#### 【0179】

データ線駆動回路 320 に対しては、コントローラ 300 から、一水平走査期間（1H）内に、表示データ（階調データ）が画素単位（より具体的には j ビット単位）に時分割で多重化されたデータが入力される。また、コントローラ 300 から、1H 内に、画素単位で規定される時分割タイミングで多重化されたコマンドデータが入力される。

#### 【0180】

コマンドラッチ 332 では、ラッチパルス LP の立ち上がり同期して、その直前にシフトレジスタ 330 に保持されたコマンドデータが取り込まれる。

#### 【0181】

デコーダ 326 は、コマンドラッチ 332 から、予め決められたワードのコマンドデータを取り出し、実行コマンドデータ部に相当するデータを解析し、実行コマンドであるか否かを判別する。

#### 【0182】

デコーダ 326 では、実行コマンドであると判別されると、参照数データ部に基づき特定されるワード位置にあるコマンドデータをコマンドラッチ 332 から取り出す。例えば、実行コマンドデータ部を有するワード位置が S ワード目の場合、参照数データ部が「3」を示す場合、（S-1）ワード目、（S-2）ワード目、（S-3）ワード目のワード位置にあるコマンドデータを取り出す。このようにして取り出したコマンドデータに対して、通常コマンドのデコード処理を行う。これにより、制御内容が拡張されてコマンドデータの種類が多くなった場合であっても、参照されるワード数を増やすだけで済むため、制御の拡張を容易化する。

#### 【0183】

デコーダ 326 による通常コマンドのデコード結果は、制御部 110 に出力される。制御部 110 は、そのデコード結果に対応した制御信号を出力する。

**【0184】**

なお、コントローラ 300 において、第 1 及び第 2 のモードにおける表示データの階調データの各色成分のビット数については、第 1 の実施形態と同様にすることが望ましい。

**【0185】**

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

**【0186】**

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

**【図面の簡単な説明】**

**【図 1】** 液晶装置の構成の概要を示す構成図。

**【図 2】** ホスト、コントローラ及びデータ線駆動回路の接続関係を示す模式図。

**【図 3】** 第 1 の実施形態におけるコントローラとデータ線駆動回路との接続関係を示す模式図。

**【図 4】** 第 1 の実施形態におけるコントローラの構成例のブロック図。

**【図 5】** 第 1 の実施形態におけるコマンドデータとコマンド識別信号との関係を示す模式図。

**【図 6】** 第 1 の実施形態におけるデータ線駆動回路の構成例のブロック図。

**【図 7】** 第 1 の実施形態におけるデータラッチの構成例のブロック図。

**【図 8】** 第 1 の実施形態におけるラッチの構成例のブロック図。

**【図 9】** 第 1 の実施形態におけるコントローラ及びデータ線駆動回路の動作タイミングの一例を示すタイミングチャート。

**【図 10】** 第 1 の実施形態におけるパシャルブロック選択コマンドによ

る制御例の説明図。

【図 1 1】 第 2 の実施形態におけるコントローラとデータ線駆動回路との接続関係を示す模式図。

【図 1 2】 第 2 の実施形態におけるコントローラの構成例のブロック図。

【図 1 3】 第 2 の実施形態におけるコマンドデータとコマンド識別信号との関係を示す模式図。

【図 1 4】 第 2 の実施形態におけるデータ線駆動回路の構成例のブロック図。

【図 1 5】 第 2 の実施形態におけるデータラッチの構成例のブロック図。

【図 1 6】 第 2 の実施形態におけるラッチの構成例のブロック図。

【図 1 7】 第 2 の実施形態におけるコントローラ及びデータ線駆動回路の動作タイミングの一例を示すタイミングチャート。

【図 1 8】 第 3 の実施形態におけるコントローラとデータ線駆動回路との接続関係を示す模式図。

【図 1 9】 第 3 の実施形態におけるコントローラの構成例のブロック図。

【図 2 0】 第 3 の実施形態におけるコマンドデータの多重化タイミングの一例を示すタイミングチャート。

【図 2 1】 第 3 の実施形態におけるデータ線駆動回路の構成例を示すブロック図。

【図 2 2】 第 3 の実施形態におけるラッチの構成例を示す回路図。

【図 2 3】 第 3 の実施形態におけるコマンドデータの構成例の説明図。

【図 2 4】 第 3 の実施形態におけるデコーダの構成例を示すブロック図。

【図 2 5】 第 3 の実施形態におけるコントローラ及びデータ線駆動回路の動作タイミングの一例を示すタイミングチャート。

#### 【符号の説明】

10 液晶装置、20 液晶パネル、30、210、320 データ線駆動回路、40 走査線駆動回路、50、200、300 コントローラ、60 電源回路、70 ホスト、72、74 データバス、80、202、302 表示データ出力部、82、204、304 コマンドデータ出力部、84、306 第 1

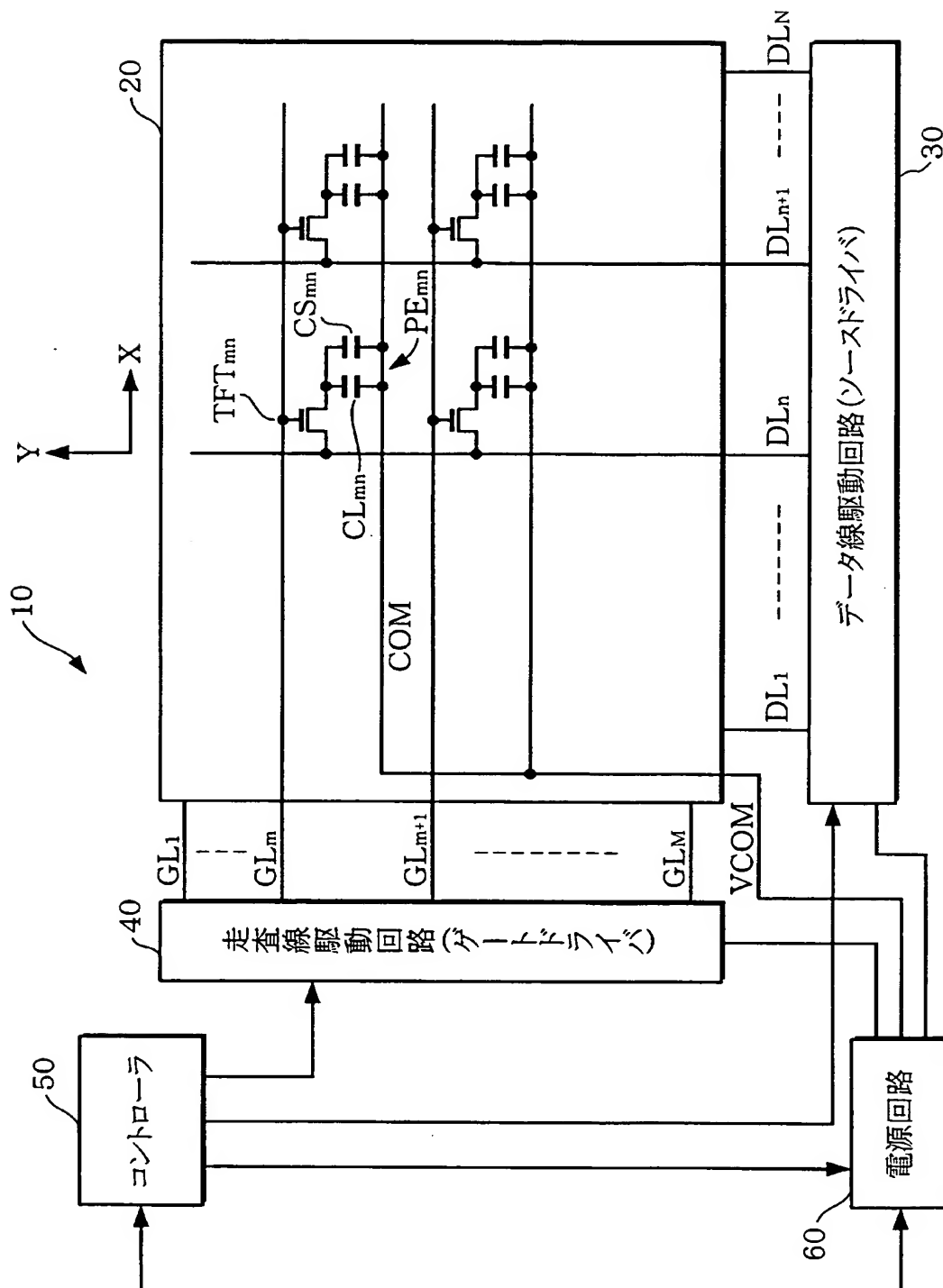


の切替出力部、86、308 第2の切替出力部、88 モード設定レジスタ、  
90、110、206、310 制御部、100、212、322 データラッ  
チ、102 L/S、104 DAC、106 出力回路、112、214、3  
24 ラッチ、114、326 デコーダ、120、130、216、330  
シフトレジスタ、122 ラインラッチ、132、218、332 コマンドラ  
ッチ、340 実行コマンドデコーダ、342 通常コマンドデコーダ

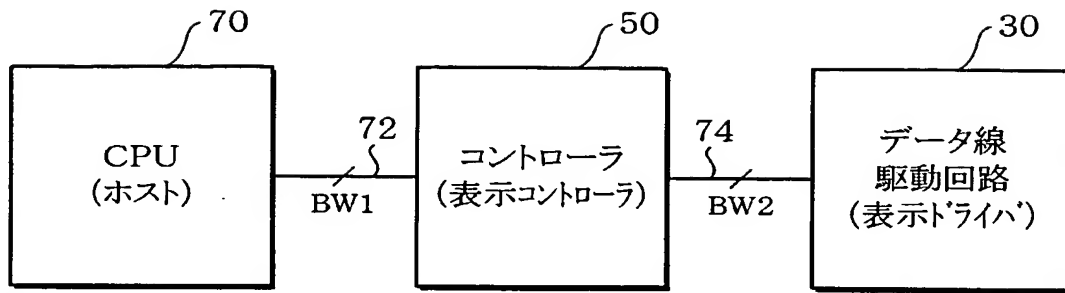
【書類名】

図面

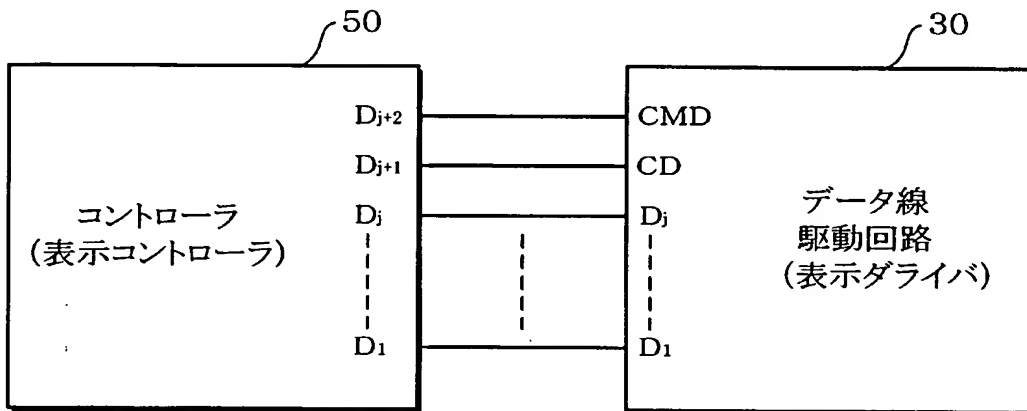
【図 1】



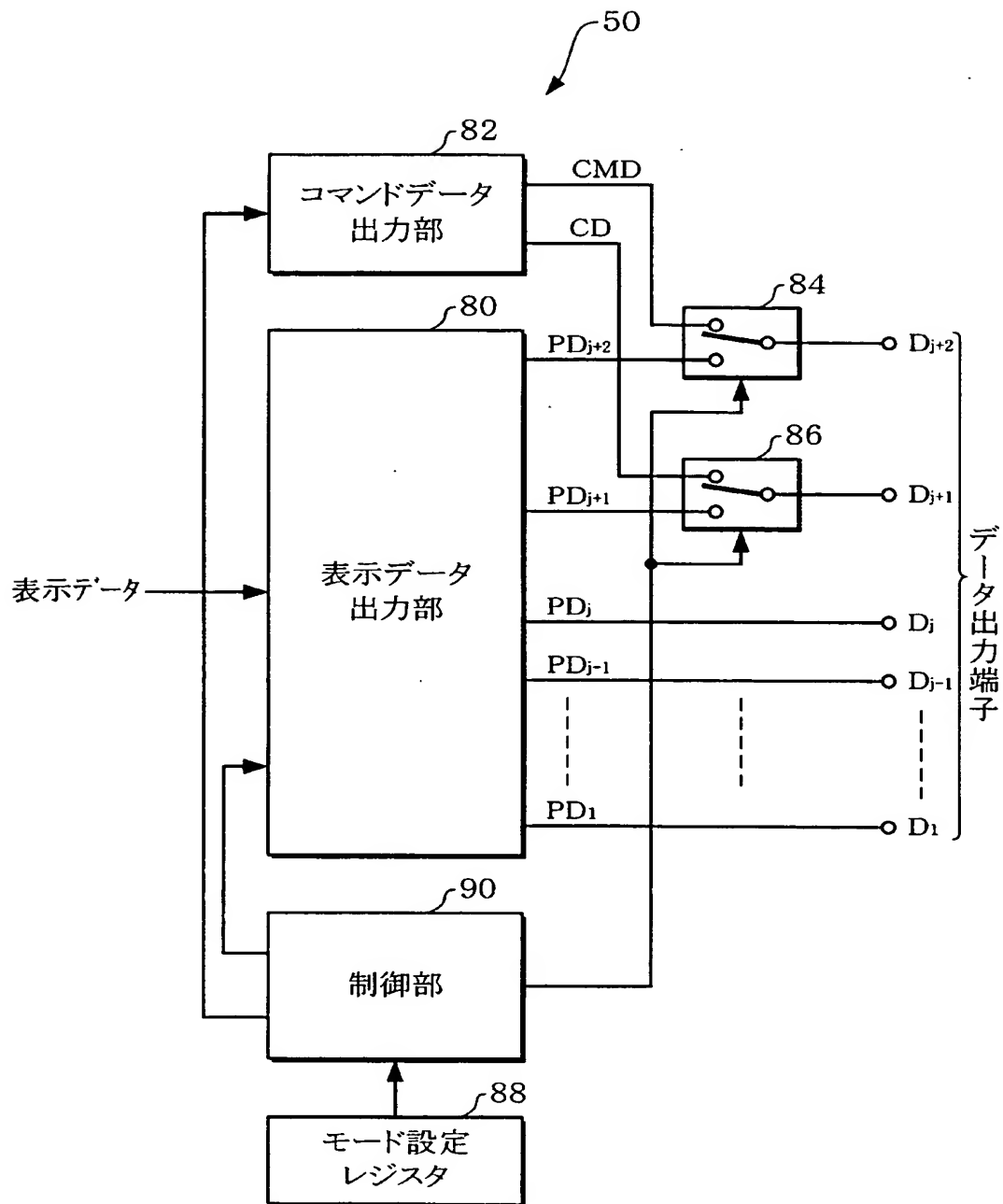
【図 2】



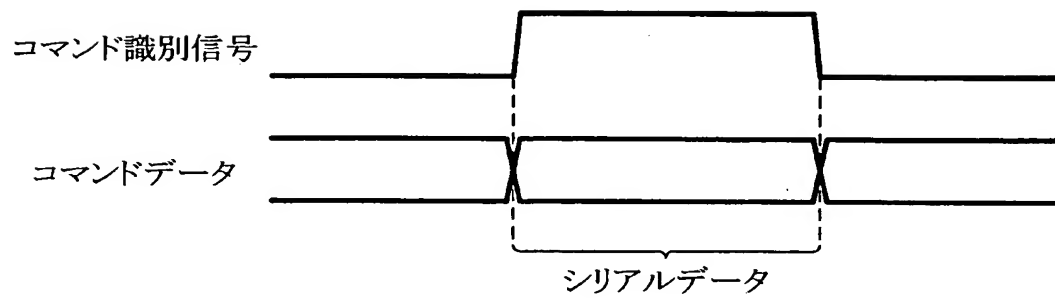
【図 3】



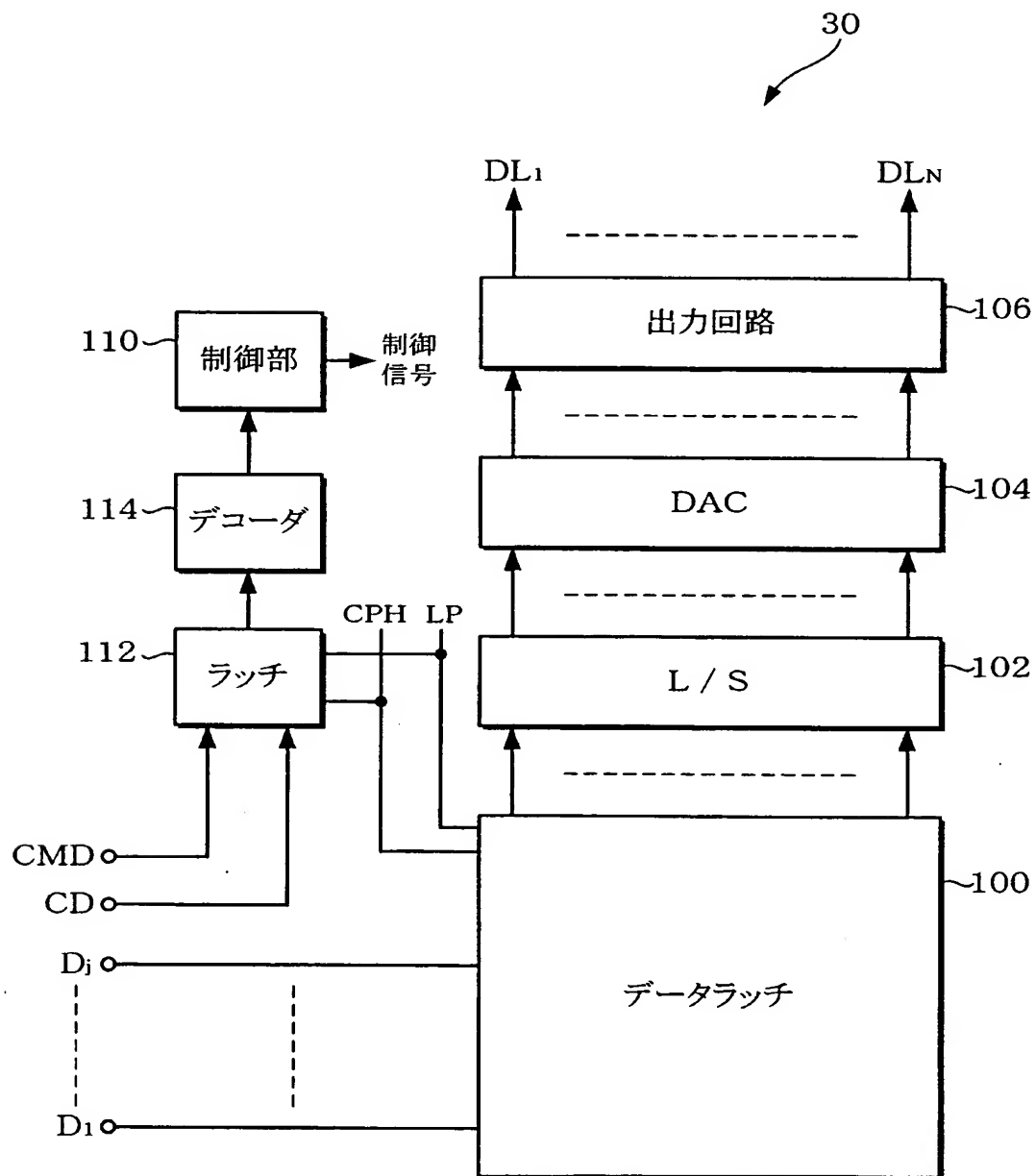
【図 4】



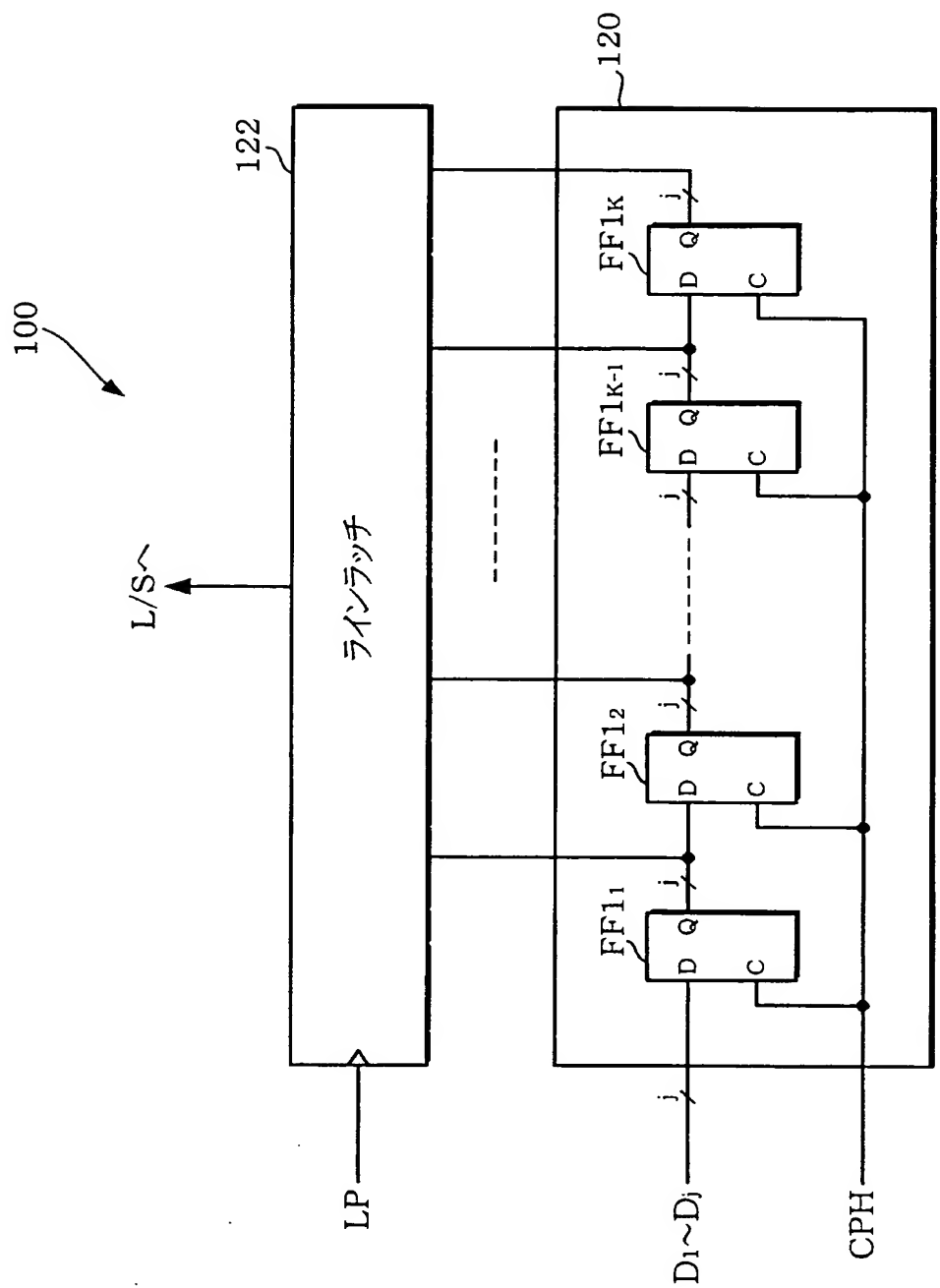
【図 5】



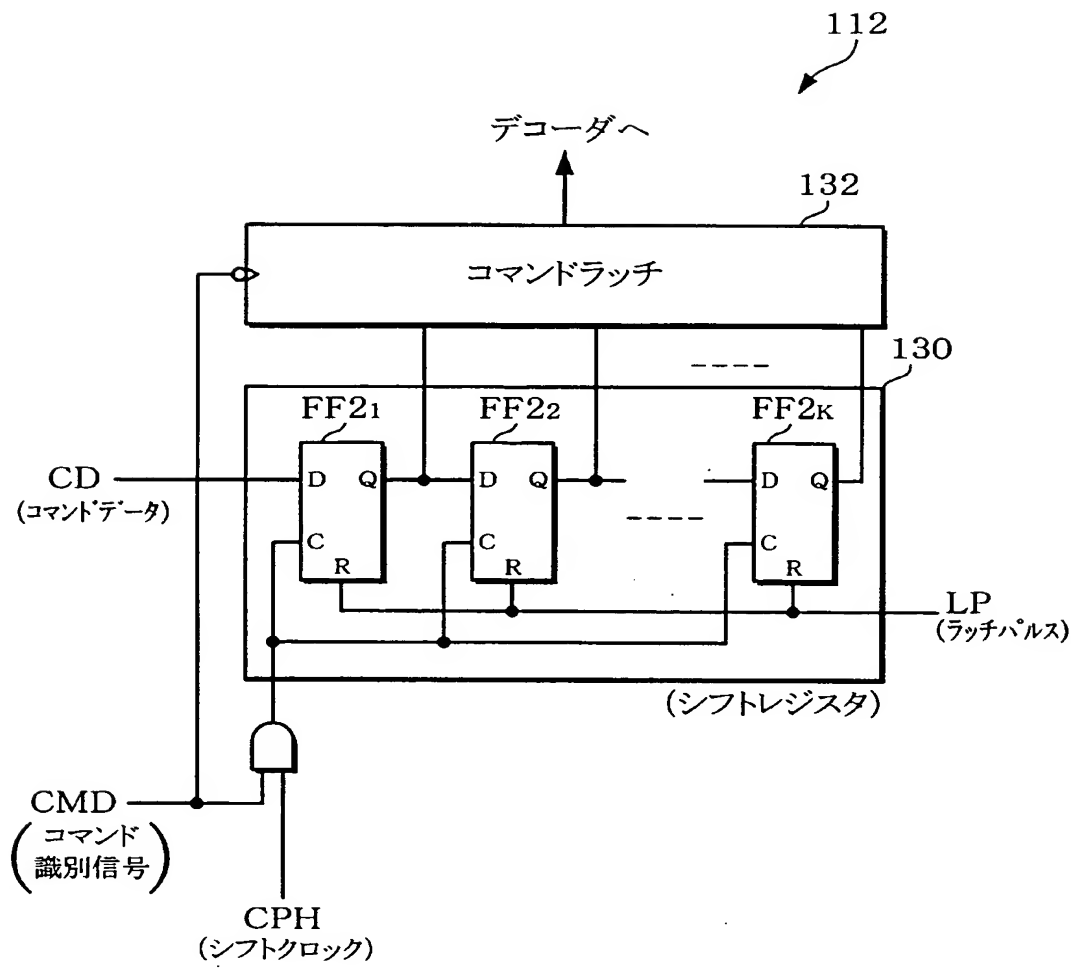
【図 6】



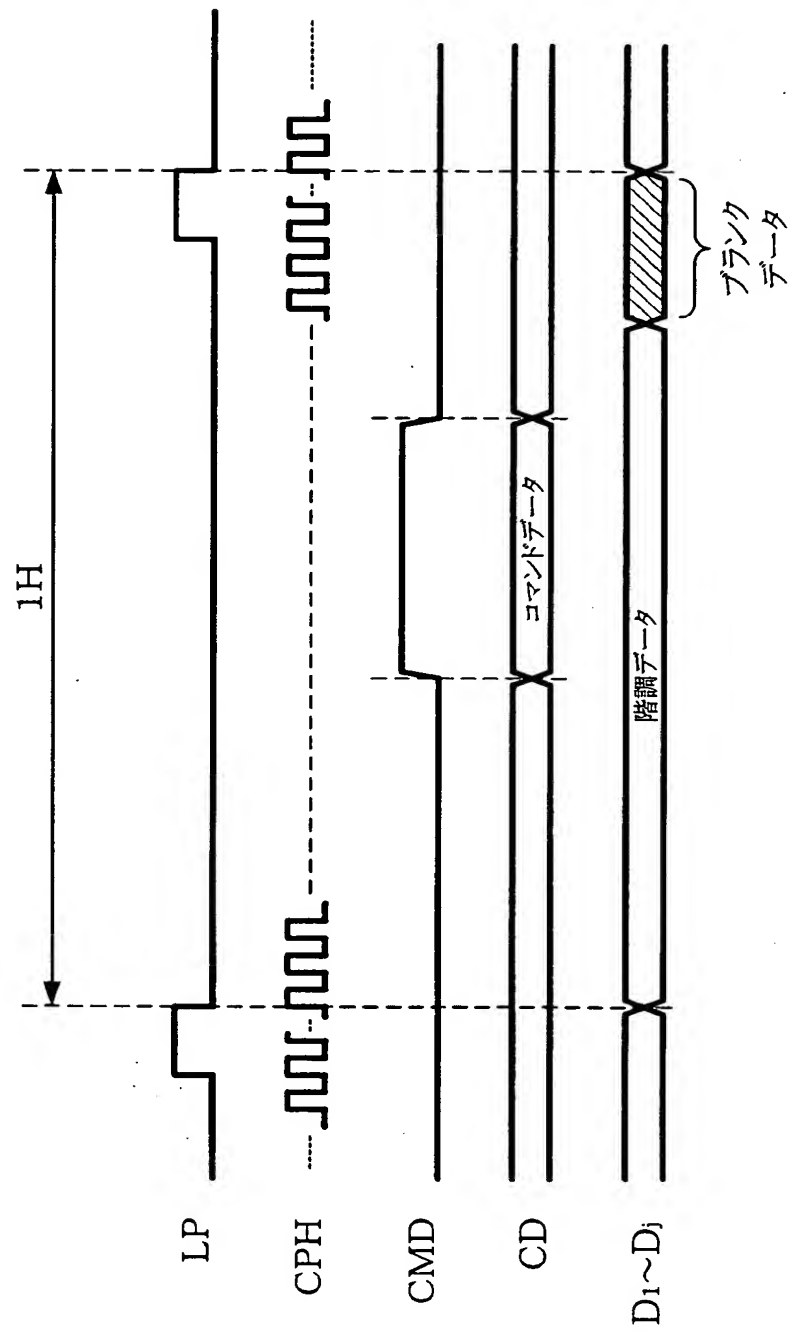
【図 7】



【図 8】

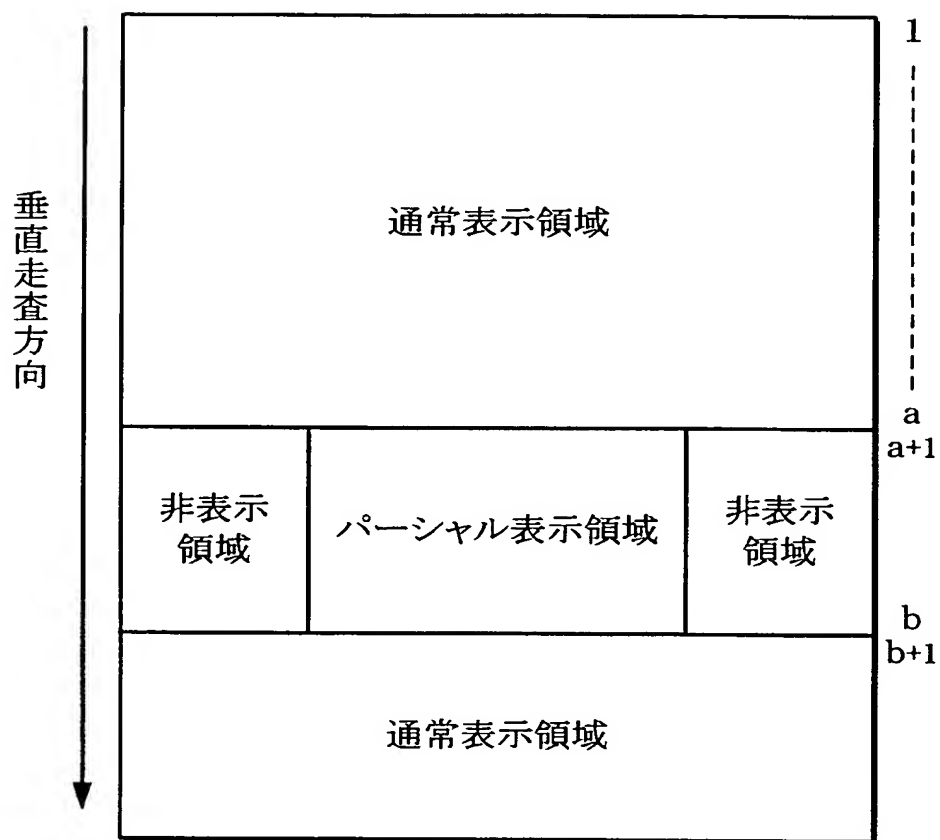


【図 9】

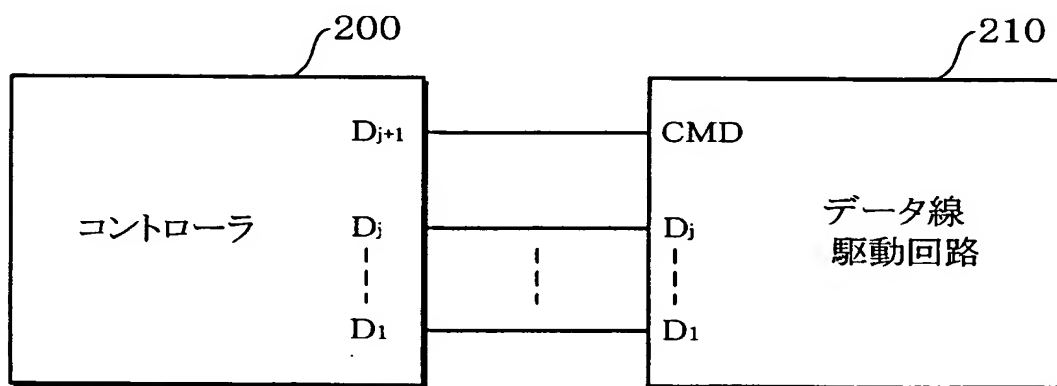




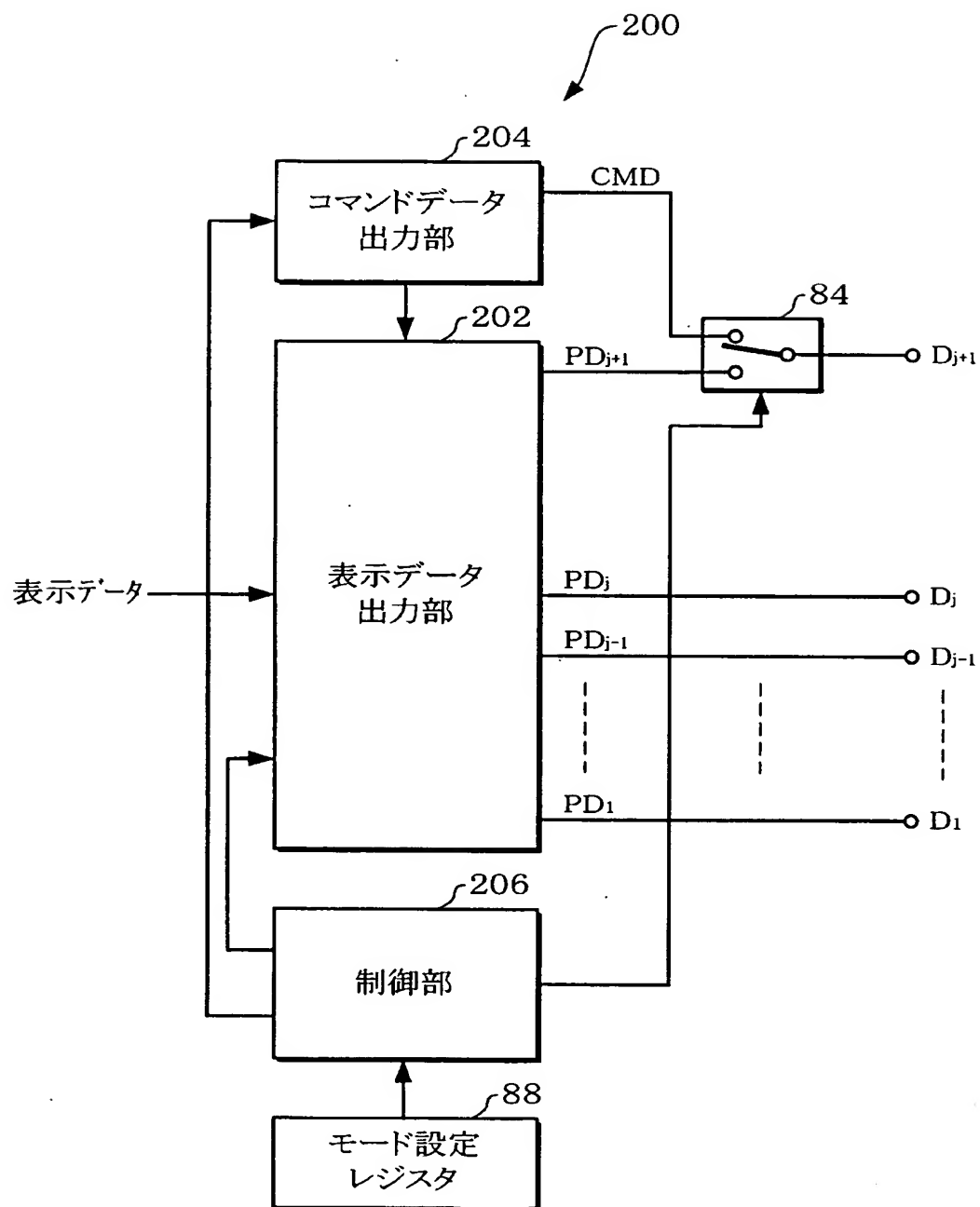
【図 10】



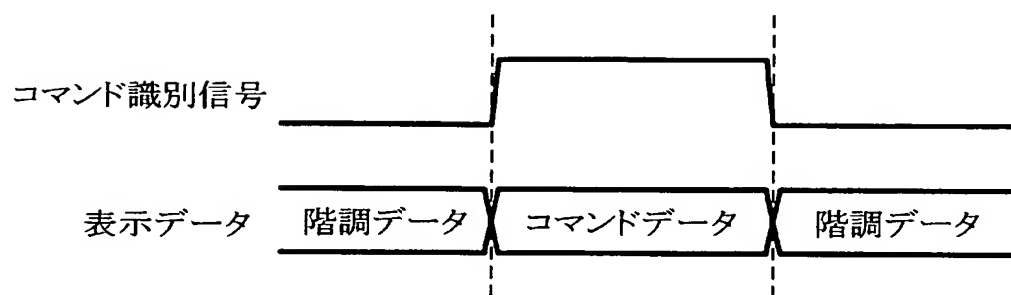
【図 11】



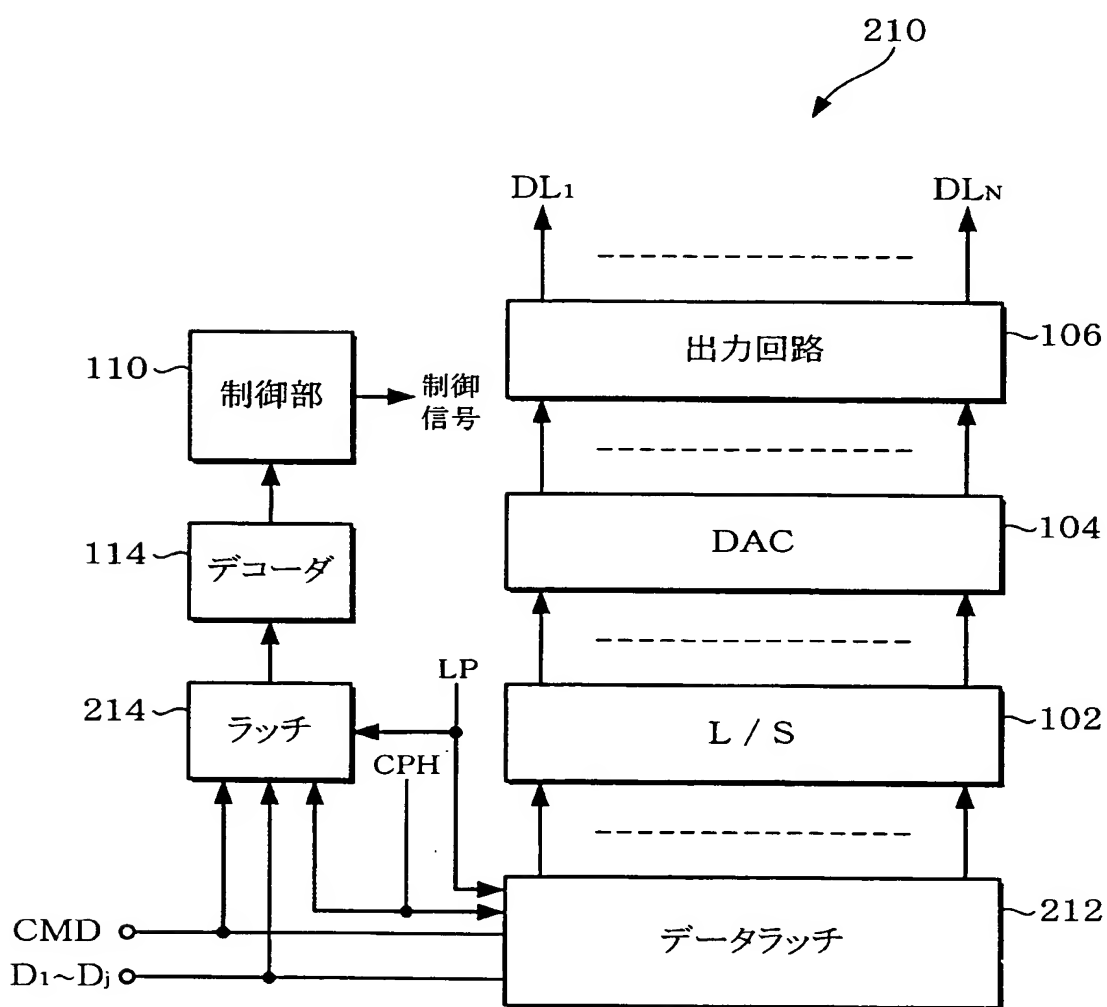
【図 12】



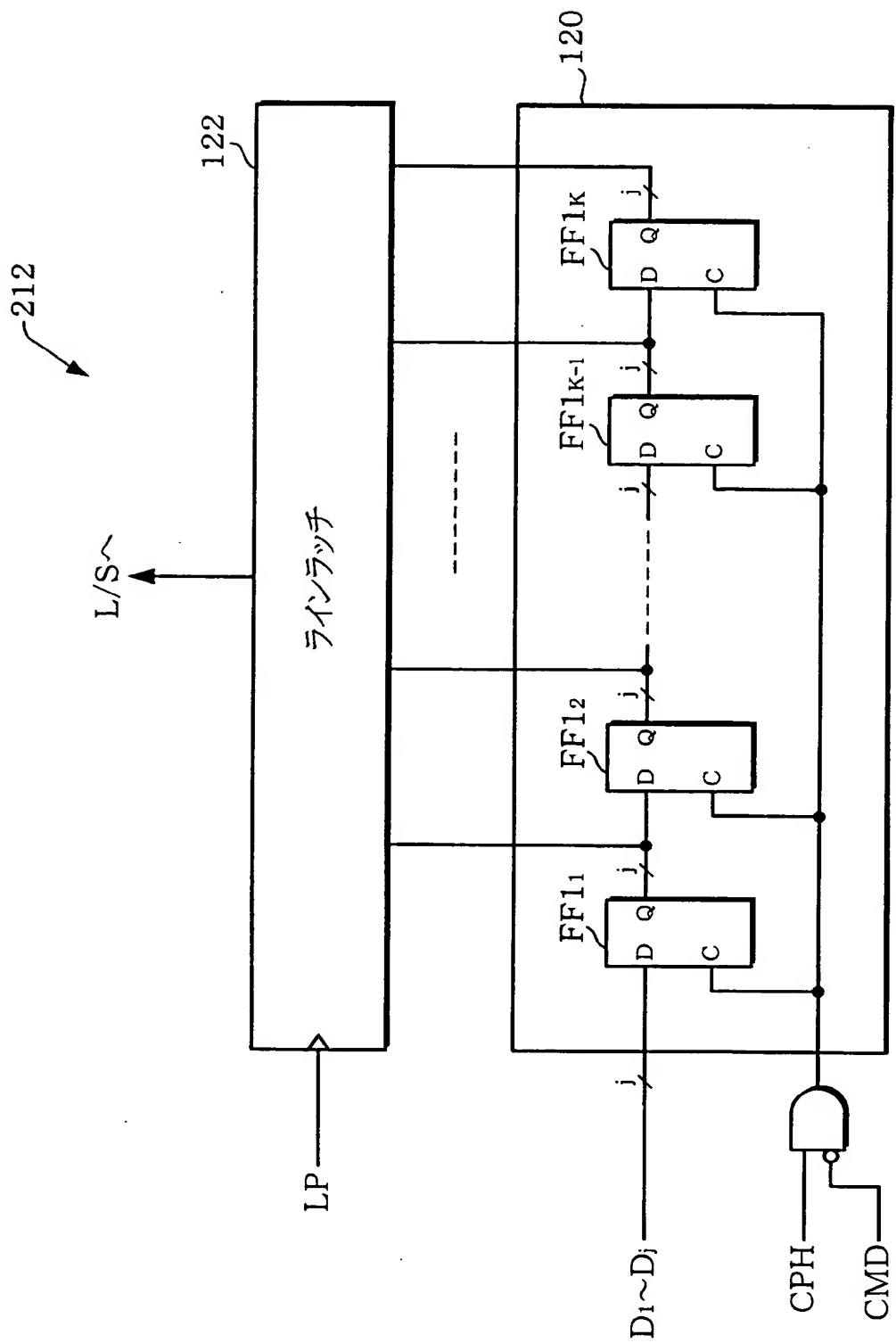
【図 13】



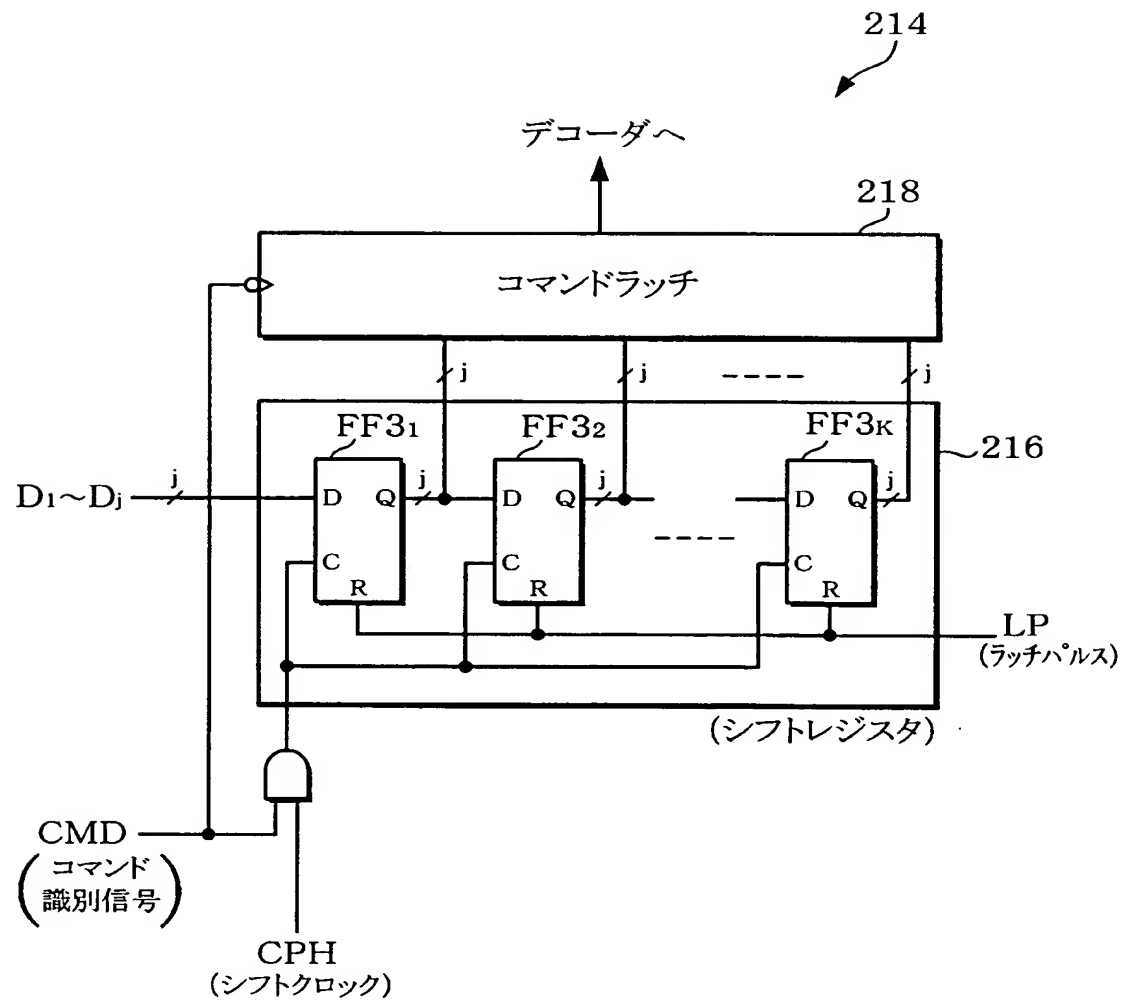
【図 14】



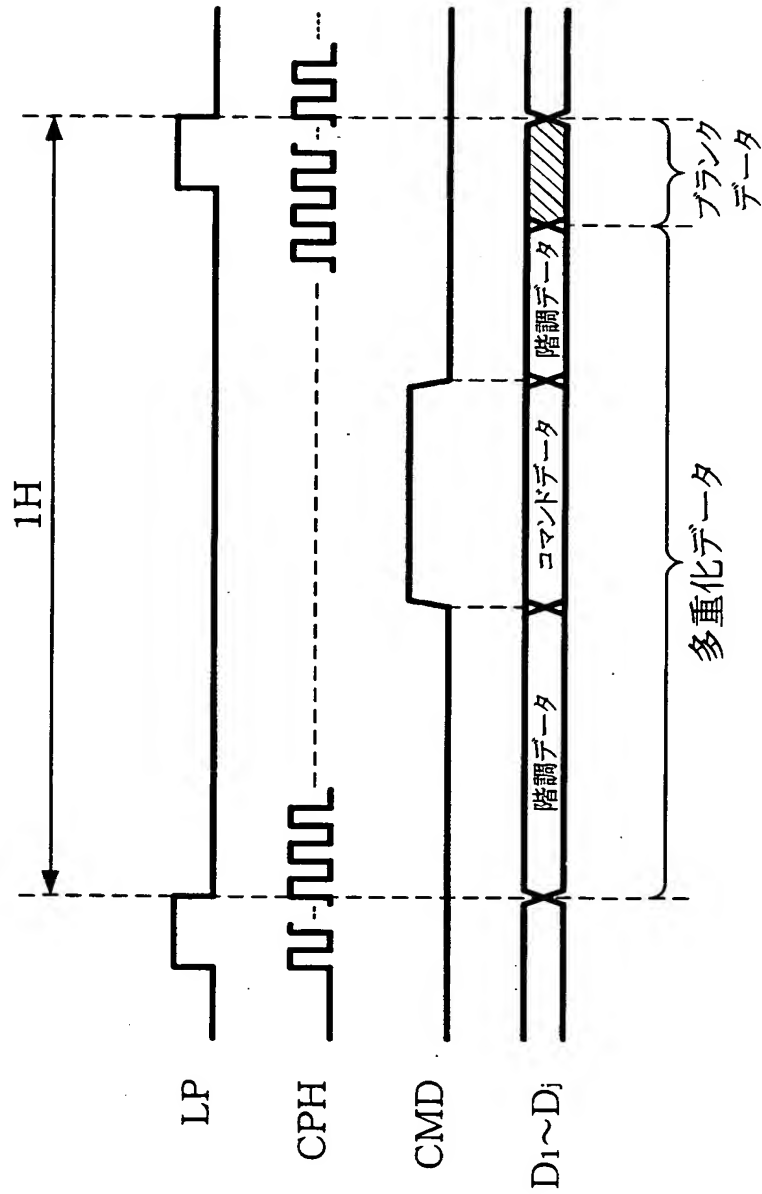
【図15】



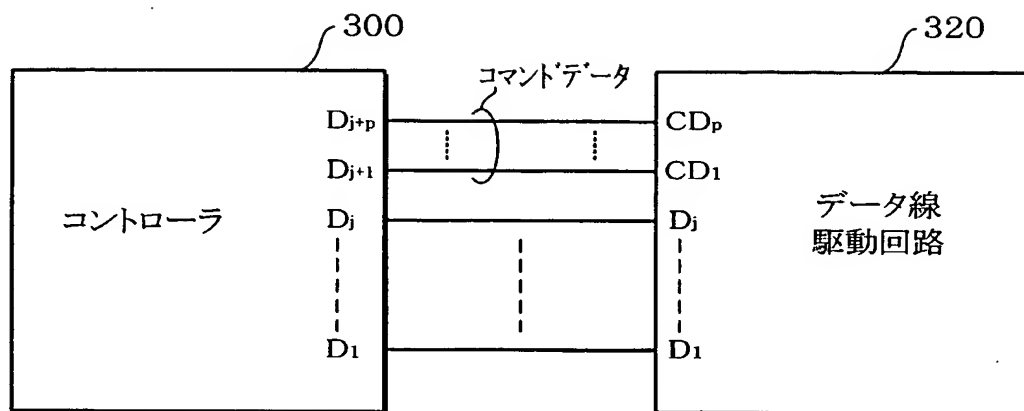
【図 16】



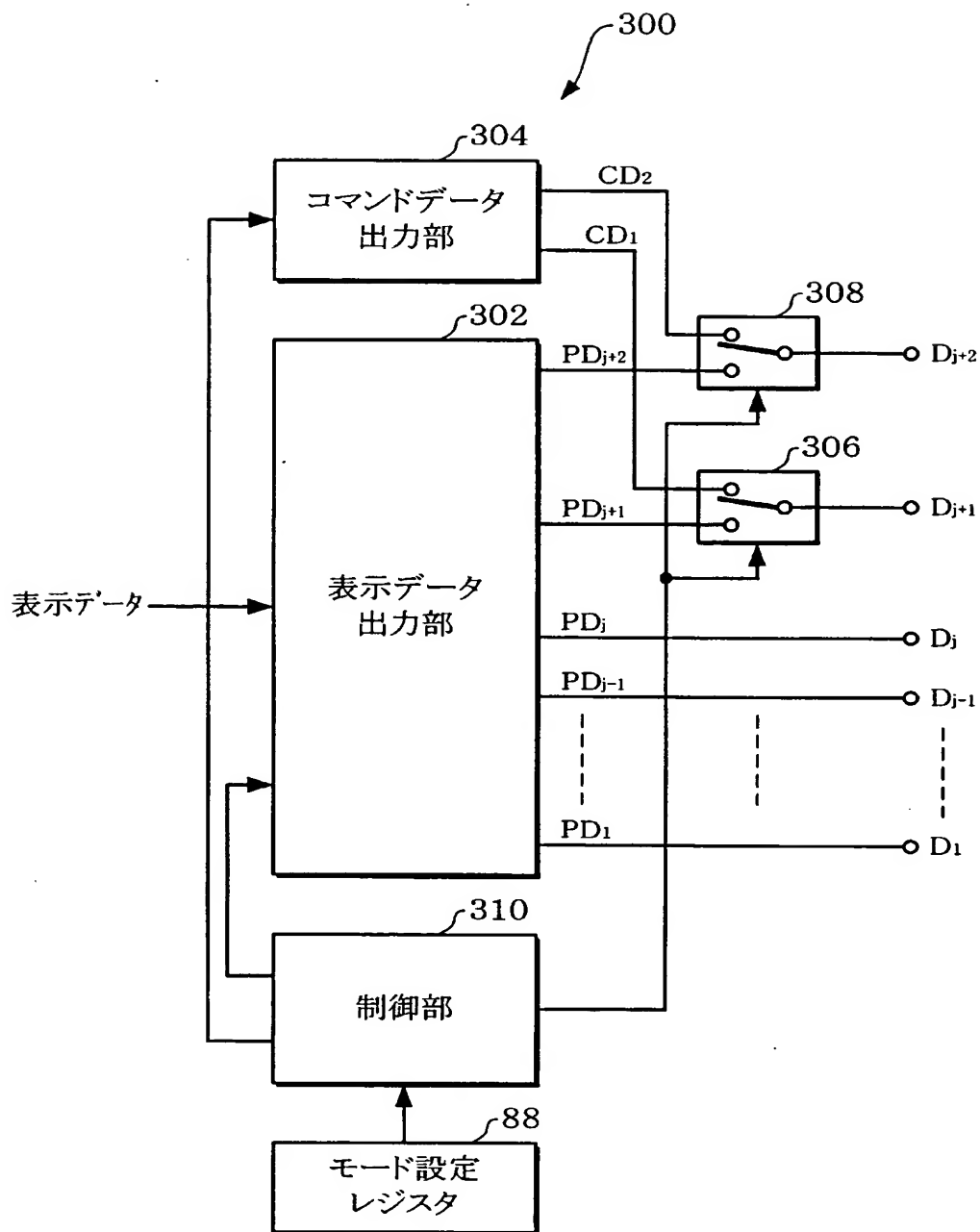
【図 17】



【図 18】

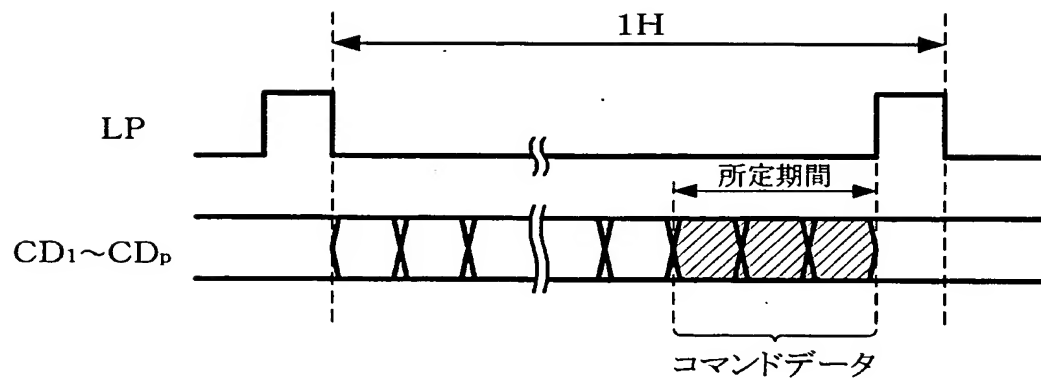


【図 19】

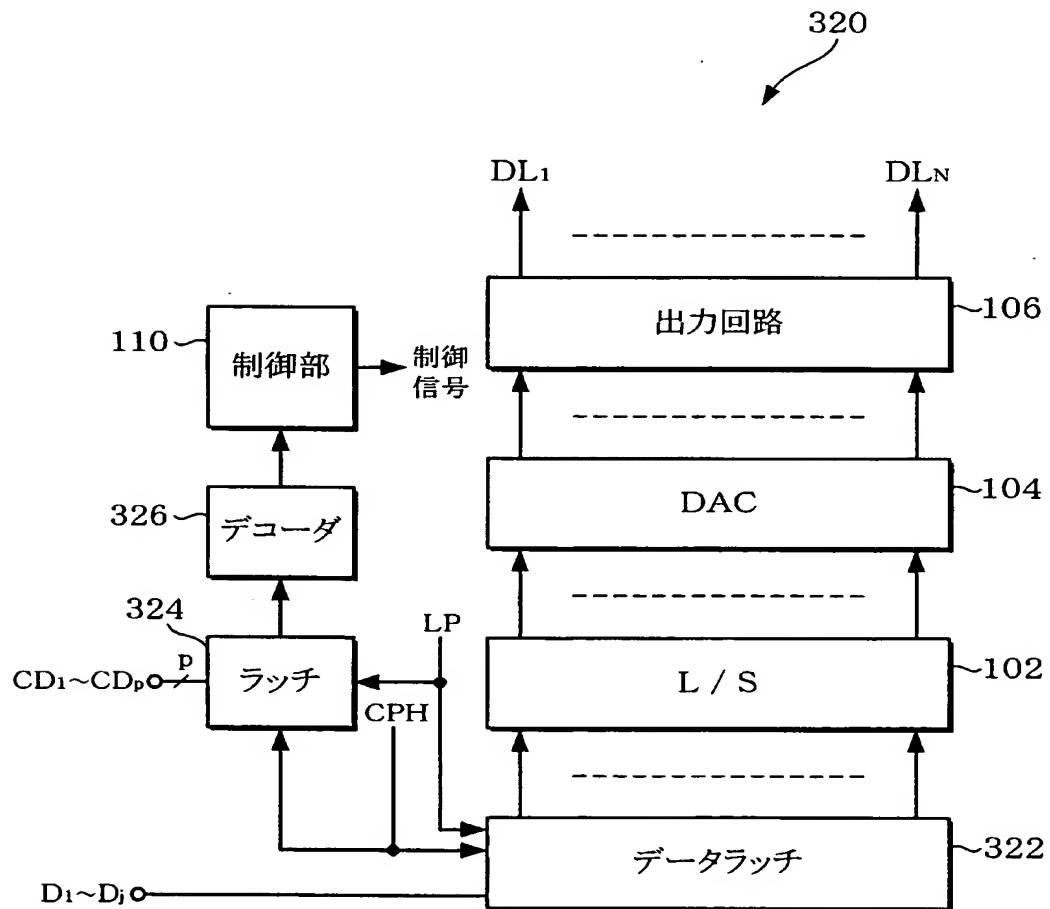




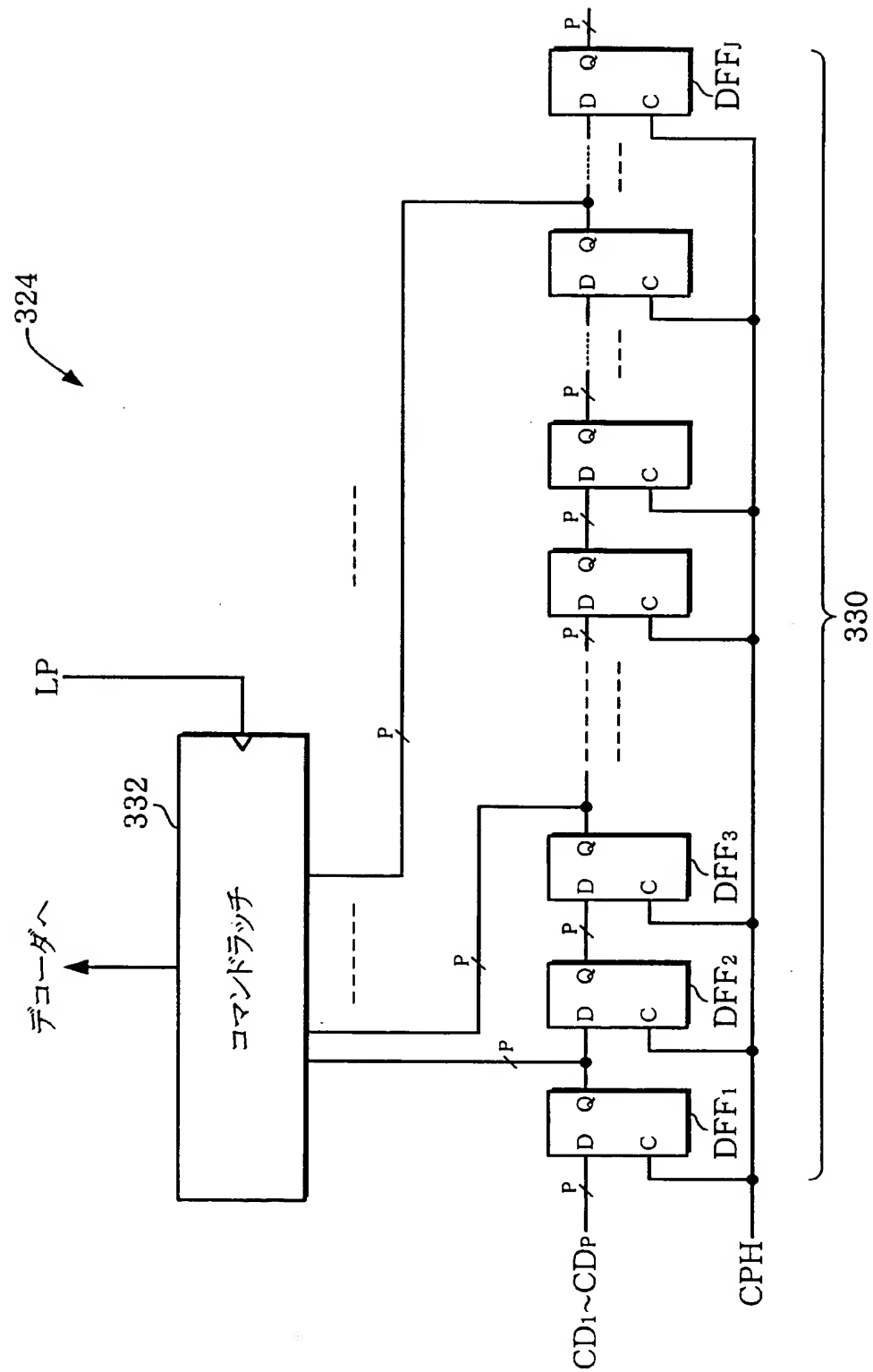
【図 20】



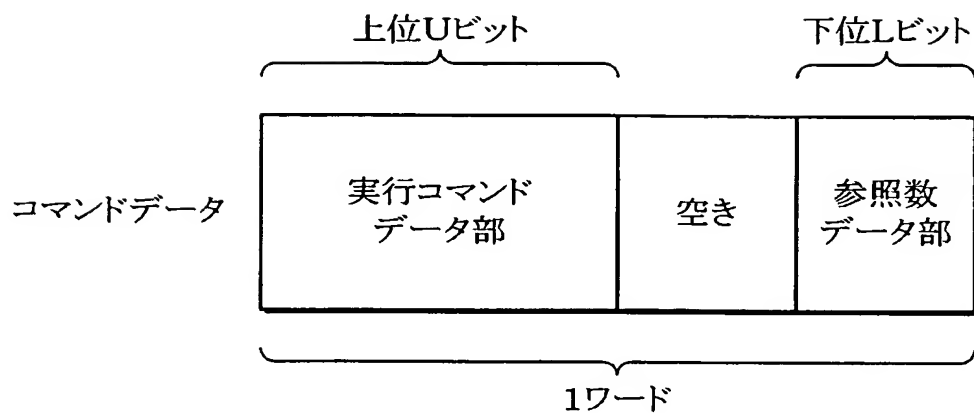
【図 21】



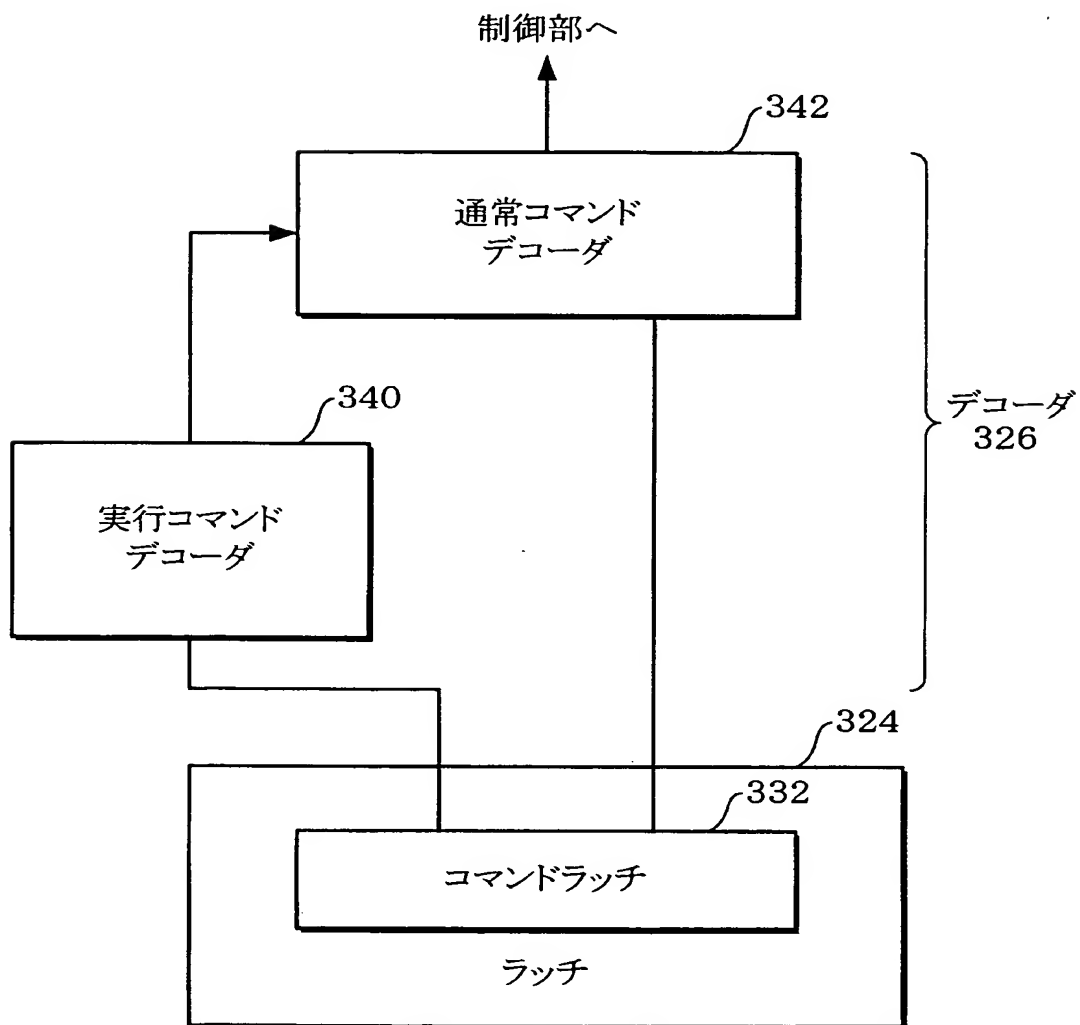
【図 22】



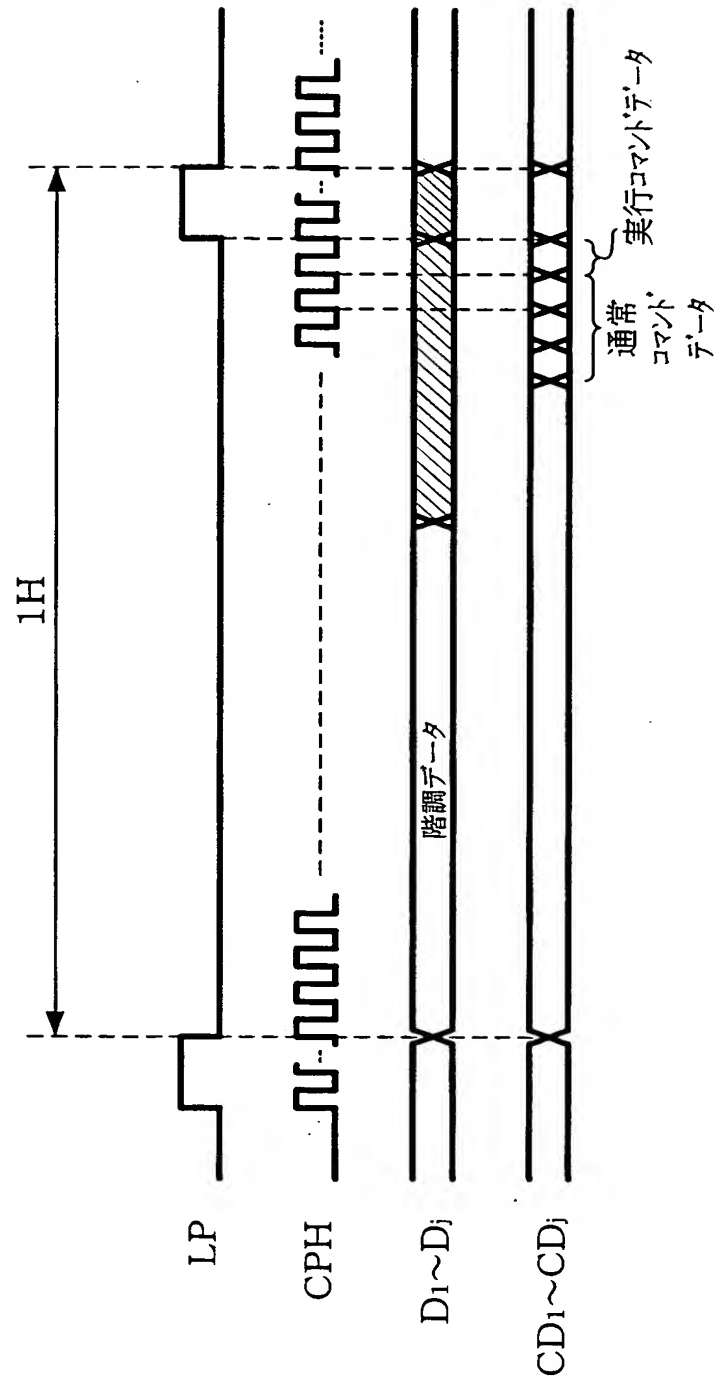
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 汎用のコントローラを用いてコマンドデータによる制御が可能な表示システム及び表示コントローラを提供する。

【解決手段】 コントローラ 50 は、第 1 ～ 第  $j$  のデータ出力端子を介して  $j$  ビット単位で表示データを、第  $(j + 1)$  のデータ出力端子を介してデータ線駆動回路 30 を制御するためのコマンドデータを出力する。また第  $(j + 2)$  のデータ出力端子を介して、コマンドデータを識別するためのコマンド識別信号をデータ線駆動回路 30 に対して出力する。データ線駆動回路 30 は、コマンド識別信号に基づいて特定されたコマンドデータを取り込むラッチと、取り込まれたコマンドデータをデコードするデコーダと、デコーダのデコード結果に対応した制御信号を出力する制御部とを含み、入力された表示データと、制御信号とに基づいて液晶パネルの複数のデータ線を駆動する。

【選択図】 図 3

特願 2 0 0 2 - 3 7 2 1 4 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1 . 変 更 年 月 日

1 9 9 0 年    8 月 2 0 日

[ 変 更 理 由 ]

新 規 登 録

住    所

東 京 都 新 宿 区 西 新 宿 2 丁 目 4 番 1 号

氏    名

セ イ コ ー エ プ ソ ン 株 式 会 社